

# BlueShark OMAP3530

## система на модуле

Техническое описание

## Содержание

<b>ИНФОРМАЦИЯ ДЛЯ ПОЛЬЗОВАТЕЛЕЙ .....</b>	<b>5</b>
<b>ИНФОРМАЦИЯ ДЛЯ ПОЛЬЗОВАТЕЛЕЙ .....</b>	<b>5</b>
1.1 Об этом документе .....	5
1.2 Авторские права .....	5
1.3 Торговые марки .....	5
1.4 Техническая поддержка .....	5
<b>2 ВВЕДЕНИЕ .....</b>	<b>6</b>
2.1 Описание модуля BLUESHARK .....	6
2.2 Основные свойства модуля .....	7
2.3 Функциональная схема модуля .....	7
2.3.1 Разъем SODIMM .....	8
2.3.2 Процессор OMAP3530 .....	9
2.3.3 Память LPDDR+NAND .....	9
2.3.4 Управление питанием .....	9
2.3.5 HS USB 2.0 OTG .....	10
2.3.6 HS USB 2.0 Host Port .....	10
2.3.7 LCD выход .....	10
2.3.8 SD/MMC .....	10
2.3.9 Индикаторы LED .....	11
2.3.10 Разъем JTAG .....	11
2.3.11 Контрольные точки на плате модуля .....	11
<b>3 АРХИТЕКТУРА МОДУЛЯ .....</b>	<b>12</b>
3.1 Источники питания .....	12
3.1.1 Внешние источники питания .....	12
3.1.2 Внутренние источники питания .....	12
3.1.3 Основные напряжения питания .....	13
3.1.4 Управление TPS65950 с помощью шины I2C .....	14
3.1.5 VIO_1V8 .....	15
3.1.6 Основные напряжения питания ядра SmartReflex .....	15
3.1.7 VOCORE_1V3 .....	15
3.1.8 VDD2 .....	16
3.1.9 VMMS1 .....	16
3.2 ПРОЦЕССОР OMAP3530 .....	17
3.2.1 Общее представление .....	17
3.2.2 Шина SDRAM .....	18
3.2.4 Подсистема дисплея DSS .....	19
3.2.5 Порт McBSP2 .....	19
3.2.6 Порт McBSP1 .....	19
3.2.7 Порт McBSP3 .....	20
3.2.8 Мультиплексирование выводов .....	20
3.2.9 Функция прерываний .....	20
3.3 УСТРОЙСТВО POP ПАМЯТИ .....	21
3.4 СИСТЕМНЫЕ ЧАСТОТЫ .....	21
3.4.1 Частота 32 кГц .....	22
3.4.2 Частота 26 МГц .....	22
3.4.3 Частота McBSP_CLKS .....	22

3.5	ПОРТ USB OTG .....	22
3.5.1	Обзор USB OTG.....	23
3.5.2	Схема USB OTG .....	23
3.5.3	ULPI-интерфейс OTG-устройства .....	24
3.5.4	Генератор подкачки заряда в режиме OTG .....	25
3.6	USB ХОСТ-ПОРТ .....	26
3.6.1	USB-хост интерфейс OMAP3 .....	26
3.6.2	USB-хост PHY.....	27
3.7	ИНТЕРФЕЙС SD/MMC .....	27
3.7.1	Питание MMC.....	28
3.7.2	Интерфейс процессора OMAP3530 .....	29
3.7.3	Обнаружение карты .....	31
3.7.4	Защита от записи .....	31
3.7.5	8-битный режим.....	31
3.7.6	Загрузка с карт памяти SD/MMC.....	32
3.8	АУДИО ИНТЕРФЕЙС .....	32
3.8.1	Аудио интерфейс OMAP3530 .....	32
3.8.2	Аудио интерфейс TPS65950.....	32
3.9	ИНТЕРФЕЙС ДИСПЛЕЯ .....	33
3.9.1	LCD-интерфейс процессора OMAP3530 .....	33
3.9.2	Питание LCD-интерфейса OMAP3530.....	33
3.9.3	Канал DDC дисплея.....	33
3.10	S-VIDEO.....	34
3.11	ИНТЕРФЕЙС UART3 .....	35
3.12	ИНТЕРФЕЙС JTAG.....	35
3.13	СБРОС ПРОЦЕССОРА OMAP3530 .....	36
3.14	РЕЖИМЫ ЗАГРУЗКИ ПРОЦЕССОРА.....	36
3.15	СЕТЕВОЙ ИНТЕРФЕЙС ETHERNET .....	38
3.16	ПОДКЛЮЧЕНИЕ EEPROM .....	38
<b>4</b>	<b>ОПИСАНИЕ СИГНАЛОВ НА РАЗЪЕМЕ SO-DIMM .....</b>	<b>39</b>
<b>5</b>	<b>ХАРАКТЕРИСТИКИ BLUESHARK.....</b>	<b>49</b>
5.1	ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ .....	49
5.2	МЕХАНИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	50
5.3	КЛИМАТИЧЕСКИЕ ХАРАКТЕРИСТИКИ.....	50
5.3	РАЗЪЕМ SODIMM.....	50

## СПИСОК ИЛЛЮСТРАЦИЙ

Рисунок 1.	Функциональная схема модуля .....	8
Рисунок 2.	Расположение контрольных точек на плате BlueShark.....	11
Рисунок 3.	Схема стабилизатора 4.2В .....	13
Рисунок 4.	Основные шины питания .....	14
Рисунок 5.	Блок-схема процессора OMAP3530 .....	17
Рисунок 6.	Интерфейс порта McBSP2 .....	19
Рисунок 7.	Интерфейс порта McBSP1 .....	20
Рисунок 8.	Интерфейс порта McBSP3 .....	20
Рисунок 9.	POP Память .....	21
Рисунок 10.	Схема USB OTG.....	24
Рисунок 11.	Схема интерфейса SD/MMC1 .....	30
Рисунок 12.	Интерфейс SD/MMC2 .....	30

Рисунок 13. Схема согласования DDC .....	34
Рисунок 14. Схема S-Video порта.....	35
Рисунок 15. Схема согласования уровней UART3.....	35
Рисунок 16. Интерфейс JTAG .....	36
Рисунок 17. Подключение сетевого контроллера LAN9221 .....	38
Рисунок 18. Подключение EEPROM с MAC-адресом устройства.....	39
Рисунок 19. Габаритные размеры.....	50

## Список таблиц

Таблица 1. Контрольные точки на плате BlueShark .....	12
Таблица 2. Вспомогательные выводы процессора для DSS/LCD интерфейса.....	19
Таблица 3. Входы прерывания процессора OMAP3530 .....	21
Таблица 4. Интерфейс ULPI процессора OMAP3530 .....	25
Таблица 5. ULPI интерфейс TPS65950.....	25
Таблица 6. Выводы генератора подкачки заряда USB OTG.....	26
Таблица 7. Сигналы порта USB-хост процессора OMAP3 .....	27
Таблица 8. Линии SD/MMC1 процессора OMAP3.....	31
Таблица 9. Аудио-сигналы процессора OMAP3530 .....	32
Таблица 10. Аудио-сигналы TPS65950.....	33
Таблица 11. Сигналы JTAG .....	36
Таблица 12. Конфигурация загрузки процессора .....	37
Таблица 13. Описание контактов разъема SODIMM .....	40
Таблица 14. Электрические характеристики.....	49
Таблица 15. Механические характеристики .....	50
Таблица 16. Температурные характеристики .....	50

## Информация для пользователей

### 1.1 Об этом документе

Этот Документ предоставляет информацию о продукте компании ООО «МЕНТОР ЭЛЕКТРОНИКС». Вся информация, содержащаяся в Документе, предоставляется «как есть» и может быть изменена. МЕНТОР ЭЛЕКТРОНИКС оставляет за собой право без уведомления делать изменения в продукте, включая схемы, программное обеспечение, описанное или содержащееся в этом Документе, с целью улучшить технические характеристики и производительность. Примеры реализаций, описанные в этом Документе, носят только иллюстративный характер.

### 1.2 Авторские права

Авторские права © 2008 ООО «МЕНТОР ЭЛЕКТРОНИКС».

Авторские права защищены. Любая часть этого Документа *может* быть перепечатана, передана третьим лицам, сохранена в каталогах документов, переведена на любой язык в любой форме или значении (электронная, механическая, фотокопия, голосовая запись и прочие) без разрешений ООО «МЕНТОР ЭЛЕКТРОНИКС».

### 1.3 Торговые марки

Все продукты и торговые марки, упомянутые в данном Документе, принадлежат соответствующим владельцам.

### 1.4 Техническая поддержка

Инженеры МЕНТОР ЭЛЕКТРОНИКС предоставляют техническую поддержку. Перед обращением в техническую поддержку по продукту получите последнюю документацию, утилиты и драйвера с нашего сайта. Если полученной информации не достаточно – обратитесь к нам по электронной почте или телефону.

ООО МЕНТОР ЭЛЕКТРОНИКС  
140408 г.Коломна, МО  
Ул. Ленина, д.28 оф.4

T: +7 495 646-0413

Web: [www.mentorel.ru](http://www.mentorel.ru)

E-Mail: [support@mentorel.com](mailto:support@mentorel.com)

## 2 Введение

### 2.1 Описание модуля BlueShark

Процессорный модуль **BlueShark** представляет ультра-компактный, высоко интегрированный дизайн системы на модуле с процессором **TI OMAP3530**. Модуль является простым и недорогим решением для приложений, требующих высокую производительность и низкое потребление энергии. Значительные вычислительные мощности при низком потреблении стали возможны за счет размещения на одном кристалле процессора ядра Cotrex-A8 (720МГц), Texas Instruments DSP C64xx, NEON™ SIMD сопроцессора, POWERVR SGX™ графического ускорителя.

Модуль может быть использован в мультимедийных или промышленных системах. На разъем SODIMM выведены основные интерфейсы, используемые в встраиваемых системах: SPI, I2C, LCD, USART, McBSP, Ethernet.

На базе модуля можно реализовать надежные встраиваемые системы с графическим интерфейсом под управлением встраиваемой операционной системы Linux или Windows CE.

Микропроцессор TI OMAP3530, выбранный в качестве ядра для BlueShark, имеет корпус Package-on-Package с шагом выводов BGA 0.5мм, что предъявляет очень высокие требования к технологии производства печатных плат. Использование подобных технологий делает возможным размещение на текстолите размером 67x40мм компьютера, сравнимого с netbook, но цена производства такого устройства оказывается очень высокой. Концепция модуля BlueShark – разделить дорогостоящую плату для процессора и, обычно, двухслойную материнскую плату, на которой лишь устанавливают первичный преобразователь питания (если требуется) и разъемы интерфейсов.

На модуле установлены: память для загрузки и работы системы, Ethernet контроллер, чтобы уменьшить количество используемых пинов на разъеме. Все типы интерфейсов, доступные в данной модели процессора, доступны на разъеме модуля, что позволяет получить гибкость в выборе используемой конфигурации и интерфейсов.

Для использования модуля BlueShark потребуются следующие компоненты:

- Разъем DDR SODIMM 2.5V
- Источник постоянного напряжения 5.0В (300мА)
- Источник постоянного напряжения 3.3В (100мА)
- Разъемы для требуемых интерфейсов (Ethernet, USB, RS232 и др.)

## 2.2 Основные свойства модуля

### На модуле установлен процессор OMAP3530DCBC

- 600 МГц (720МГц) ядро ARM Cortex-A8 с 16KB ICACHE/16KB DCACHE
- 256кБ L2-кеш и 64кБ High Speed SRAM
- 430 МГц (520МГц) TMS320C64x+™ DSP ядро для видео кодеков и обработки сигналов
- NEON Single Instruction MultiData (SIMD) Integer и Floating Point сопроцессор
- 128МБ Mobile DDR SDRAM POP
- 256МБ NAND Flash POP
- 3.3В 24 бит интерфейс подключения TFT-LCD промышленных панелей
- 24 бит LCD интерфейс для подключения DVI/HDMI-сериалайзеров с поддержкой разрешений до 1920 x 1080 (Full HD)
- Графический контроллер с поддержкой OpenGL/Direct 3D
- 8/12 бит порт видео ввода CCD и CMOS сенсоров
- Композитный NTSC/PAL видео выход S-Video
- Звуковой выход (стерео)
- Звуковой вход микрофона (стерео)
- High Speed (480Mbit) USB 2.0 OTG порт (Host/Device)
- High Speed (480Mbit) USB 2.0 Host
- Высокопроизводительный промышленный Ethernet контроллер SMSC LAN9221i 10/100Mbit
- 2-проводный Debug UART + 4-проводный UART
- McBSP, McSPI, I2C интерфейсы
- Два 8 бит SD/MMC+ интерфейсы
- 16-ти битная локальная шина данных с поддержкой синхронного и асинхронного, режимов работы
- GPIO линии для пользователя
- JTAG разъем 14 контактов, 1.8В уровни сигналов
- Глобально уникальный MAC адрес, совместимый с EUI-48™ and EUI-64™
- Питание модуля 5В
- Потребление ~1Вт
- SODIMM модуль (67x46mm)
- Рабочий температурный диапазон -40..+85°C (0..+70°C)

## 2.3 Функциональная схема модуля

На модуле можно выделить следующие основные узлы:

- Контроллер питания TPS65950
- Процессор OMAP3530
- Память LPDDR+NAND
- USB PHY для USB HOST
- Сетевой контроллер SMSC LAN9221i

Контроллер питания TPS65950 помимо встроенных LDO+DC/DC предоставляет также функции USB OTG и звуковой контроллер. Другие внутренние функции TPS65950: контроллер клавиатуры, управление вибровыводом и пр., в данной схеме не задействованы. На Рисунке 1 представлена функциональная схема модуля, где на разъеме SO-DIMM указаны все доступные интерфейсы.

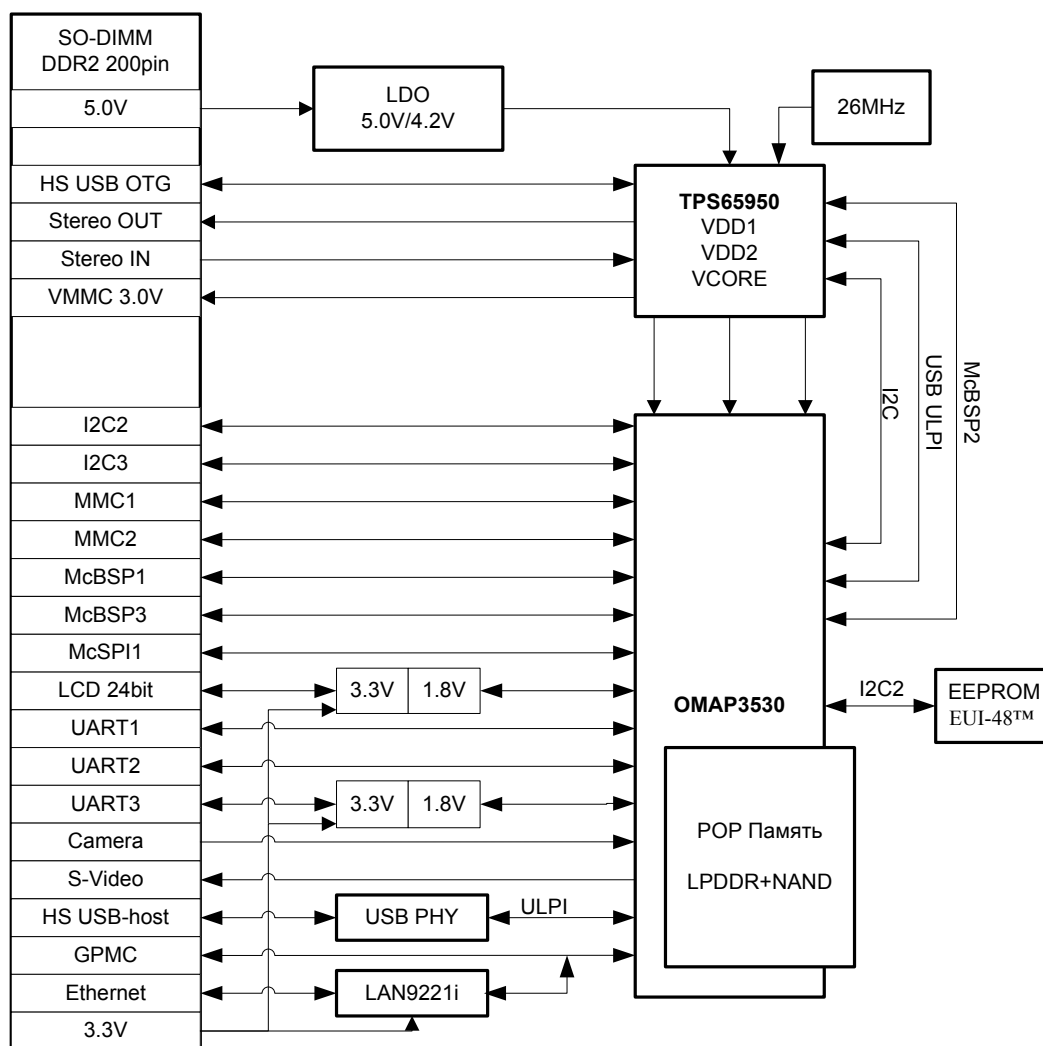


Рисунок 1. Функциональная схема модуля

## 2.3.1 Разъем SODIMM

Все внешние подключения к процессору доступны через 200-пиновый разъем SODIMM. Доступны следующие функции:

- Вход 5.0В для создания необходимых напряжений для внутренних цепей модуля
- Вход 3.3В для питания внешних цепей модуля
- Hi-Speed USB device
- Hi-Speed USB HOST
- LCD 24bit для подключения LVDS/TTL/DVI/HDMI
- CCD/CMOS 10bit
- SD/MMC1
- SD/MMC2
- Stereo OUT
- Mic stereo IN
- S-Video



- McSPI
- McBSP1
- McBSP3
- UART1
- UART2
- UART3 (debug/console)
- GPMC 16bit data/address + 8CS
- i2c2
- i2c3
- Ethernet

Архитектура модуля предполагает наличие сигналов с напряжением 1.8В или 3.3В, поэтому проектировщик системы должен обеспечить внешнюю защиту внутренних цепей модуля от перенапряжения и статического напряжения.

## 2.3.2 Процессор OMAP3530

На модуле BlueShark устанавливают процессоры ревизии ES3.1. Корпус процессора предусматривает установку памяти POP (корпус-на-корпусе). POP технология это физическая микросхема, объединяющая в одном корпусе SDRAM и NAND-флеш, и питаемая поверх корпуса процессора OMAP3530. По этой причине, глядя на модуль BlueShark, вы не увидите микросхему с надписью “OMAP3530”.

## 2.3.3 Память LPDDR+NAND

На модуле используют POP память Micron со следующими номерами:

- MT29C2G24MAKLACG-6 IT  
128M DDR + 256M NAND
- MT29C4G48MAPLCJQ-6 IT  
256M DDR + 512M NAND

SDRAM интерфейс доступен только в виде POP, поэтому нельзя добавить памяти типа SDRAM на модуль или вне его. Однако можно добавить некоторые виды памяти на GPMC интерфейс.

## 2.3.4 Управление питанием

Микросхема TPS65950 используется на модуле для формирования всех необходимых напряжений, за исключением 3.3В, которые подаются извне модуля и используются для согласования уровней напряжений с внешними устройствами. В дополнение к функциям питания также микросхема предоставляет следующие функции:

- Stereo вход
- Stereo выход
- Сброс по питанию (power on reset)
- USB OTG PHY
- Статусные LED

## 2.3.5 HS USB 2.0 OTG

Функция USB OTG является основным каналом связи, т.к. через него доступны следующие функции (при наличии соответствующего программного обеспечения):

- USB ACM
- USB Ethernet
- Загрузка процессора

Функция USB OTG, предоставляемая TPS65950, поддерживает LS/FS/HS устройства.

## 2.3.6 HS USB 2.0 Host Port

На модуле установлена микросхема USB PHY, которая настроена на функцию USB HOST. Данная микросхема SMSC USB3320 способна работать только по протоколу High Speed, поэтому не допускает подключение LS и FS устройств, например USB мышь или клавиатура. Что работали LS и FS устройства необходимо сначала подключить USB-hub 2.0 Hi-Speed. После подключения USB-hub можно подключать любые устройства.

## 2.3.7 LCD выход

Это стандартный интерфейс для подключения промышленных и других TFT панелей. Исходный LCD выход процессора OMAP3530 имеет уровни 1.8В, поэтому, чтобы сделать более удобным подключение LCD панелей, модуль BlueShark имеет транслятор уровней 1.8В в 3.3В. Также, имеется ряд вспомогательных сигналов уровня 3.3В для управления линиями панелей.

Также LCD интерфейс процессора может быть использован для управления интерфейсом DVI-D/HDMI. При этом, HDMI интерфейс поддерживается только на уровне канала DVI-D, аудио возможности и шифрование не поддерживаются.

## 2.3.8 SD/MMC

На разъем модуля SODIMM выведены два интерфейса SD/MMC с процессора. Уровни напряжения сигналов MMC формируются микросхемой TPS65950 и поэтому не могут быть назначены вне модуля. Это означает, что нельзя подавать питание на разъем SD/MMC, отличное от того, что выходит с модуля (VMMC1). Иначе, если уровень питания SD/MMC превысит активный уровень заданный на процессоре, то линии OMAP3530 могут быть повреждены.

К интерфейсу SD/MMC можно подключать следующие виды устройств:

- WiFi карты
- Камеры
- Bluetooth карты
- GPS модули
- SD карты памяти
- MMC карты памяти
- SDIO карты
- MMCmobile карты
- RS-MMC карты

Интерфейс SD/MMC процессора OMAP3530 поддерживает стандарт MMC4.0 (MMC+) и поддерживает загрузку с карт MMC или SD. На модуле доступны сигналы для 4-х и 8-и битных карт, но 8и битные карты поддерживают сигналы только 1.8В. Режим загрузки поддерживает только 3В карты.

## 2.3.9 Индикаторы LED

На модуле BlueShark присутствуют два светодиода:

- VD1 красный индикатор наличия 4.2В
- VD2 зеленый индикатор успешной загрузки программного обеспечения

VD1 загорается после подачи напряжения 5В на соответствующие контакты модуля. VD2 управляется по i2c и загорается, когда программное обеспечение успешно загрузится и запустится.

## 2.3.10 Разъем JTAG

14ти контактный разъем (такой же, как на Beagleboard) присутствует на плате модуля. Может быть использован для разработки программного обеспечения и его отладки с помощью различных аппаратных эмуляторов.

**ЛИНИИ JTAG СОВМЕСТИМЫ С СИГНАЛАМИ НАПРЯЖЕНИЕМ 1.8В. НЕ ПОДКЛЮЧАЙТЕ 3.3В или 5В ЭМУЛЯТОРЫ К РАЗЪЕМУ!**

## 2.3.11 Контрольные точки на плате модуля

Для контроля и диагностики на модуле присутствует ряд контрольных точек, на которых можно контролировать уровни постоянного напряжения или формы сигналов. В **таблице 1** представлены названия контрольных точек, а также значения контролируемых параметров. На **Рисунке 2** показаны расположения наиболее важных контрольных точек.

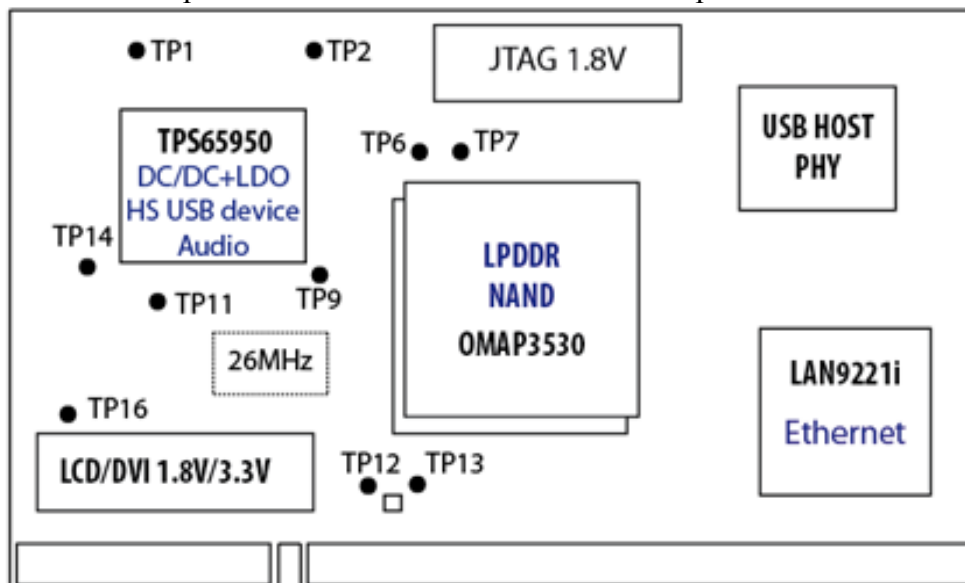


Рисунок 2. Расположение контрольных точек на плате BlueShark

Таблица 1. Контрольные точки на плате BlueShark

Название	Сигнал/величина	Контрольное значение
TP1	VDD2	
TP2	VDD1 (VIO_1V8)	1.8В
TP3	VDAC.OUT	
TP4	VDD.SIM	
TP5	VDD.PLL2	
TP6	SYS_32k	32 кГц
TP7	HFCLKOUT	26 МГц
TP8	VDD.PLL1	
TP9	VMMC1	3.0В
TP10	VMMC2	
TP11	VCORE	1.2В, 1.3В
TP12	UART3_TX	0-3.3В
TP13	UART3_RX	0-3.3В
TP14	VBAT	4.2В
TP15	-	
TP16	5V_DC	5В

### 3 Архитектура модуля

Этот раздел приводит высокоуровневое описание архитектуры модуля BlueShark.

#### 3.1 Источники питания

##### 3.1.1 Внешние источники питания

Для питания всех внутренних цепей модуля требуется внешний источник питания со следующими характеристиками:

- **Напряжение: 5.0В ± 10%**
- **Ток: 0.3 А**

Для согласования внутренних цепей напряжением 1.8В с уровнями сигналов внешних цепей напряжением 3.3В требуется внешний источник питания со следующими характеристиками:

- **Напряжение: 3.3В ± 10%**
- **Ток: 0.3 А**

Для уменьшения наводок и помех по цепям питания рекомендуем устанавливать конденсатор с низким ESR как можно ближе к питающим контактам разъема SODIMM.

##### 3.1.2 Внутренние источники питания

В схеме напряжение 5В понижается до уровня в 4.2В. Это требуется для того, чтобы достичь номинального значения входного напряжения для микросхемы TPS65950. Максимальное напряжение питания TPS65950 составляет 4.5В, поэтому имеется некоторый запас регулирования.

На **рисунке 3** изображена схема регулятора 5В/4.2В.

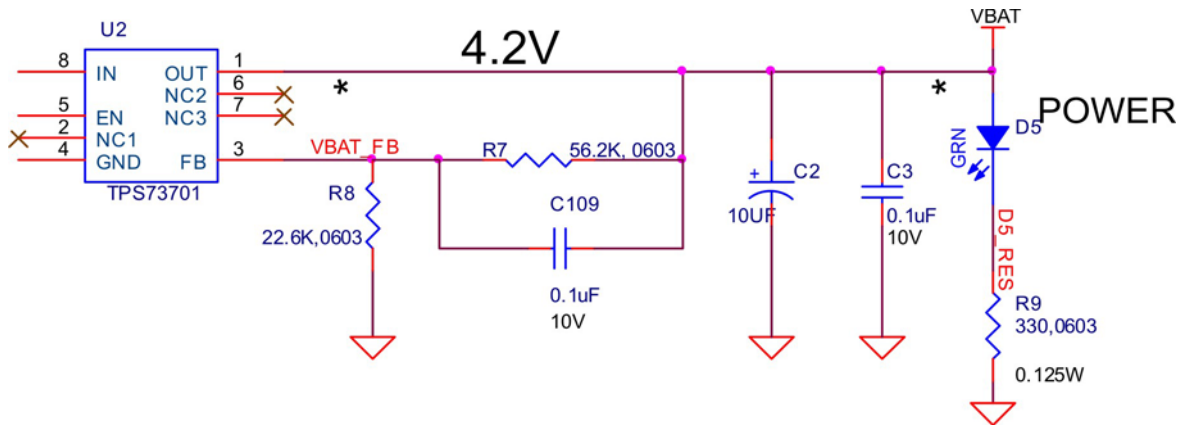


Рисунок 3.Схема стабилизатора 4.2В

Микросхема TPS65950 обеспечивает основные шины питания модуля. Максимальный уровень входного напряжения микросхемы равняется 4.5В для шины VBAT, а номинальное напряжение равняется 4.2В. Микросхема DD11 (TPS73701) используется для преобразования напряжения 5В, поступающего с разъема SODIMM, до 4.2В, чтобы соответствовать данным требованиям. TPS737701 является линейным стабилизатором с функциями тепловой защиты и ограничения тока. Стабилизатор способен обеспечивать ток силой 1А, хотя это значение является избыточным для питания узлов модуля. Светодиод VD1, помеченный как 4V2, сигнализирует о том, что напряжение равно 4.2 В.

TPS65950 создает напряжение 1.8В, которое доступно на разъеме SODIMM. Это напряжение обладает небольшой мощностью и не допускает питания мощных микросхем. Допустимый ток для источника 1.8В, предоставляемый вне модуля, **не может превышать 50мА**.

### 3.1.3 Основные напряжения питания

В микросхеме **TPS65950** имеются три основные шины питания, которые используются процессором OMAP3530 и периферией:

- VOCORE\_1V3 (1.2В)
- VDD2 (1.3В)
- VIO\_1V8 (1.8В)

При включении питания напряжение шины **VOCORE\_1V3** по умолчанию равно **1.2В**, однако программно его можно отрегулировать до уровня **1.3В**. На **рисунке 4** изображено осуществление связи между микросхемой **TPS65950** и системой с помощью трех основных шин.

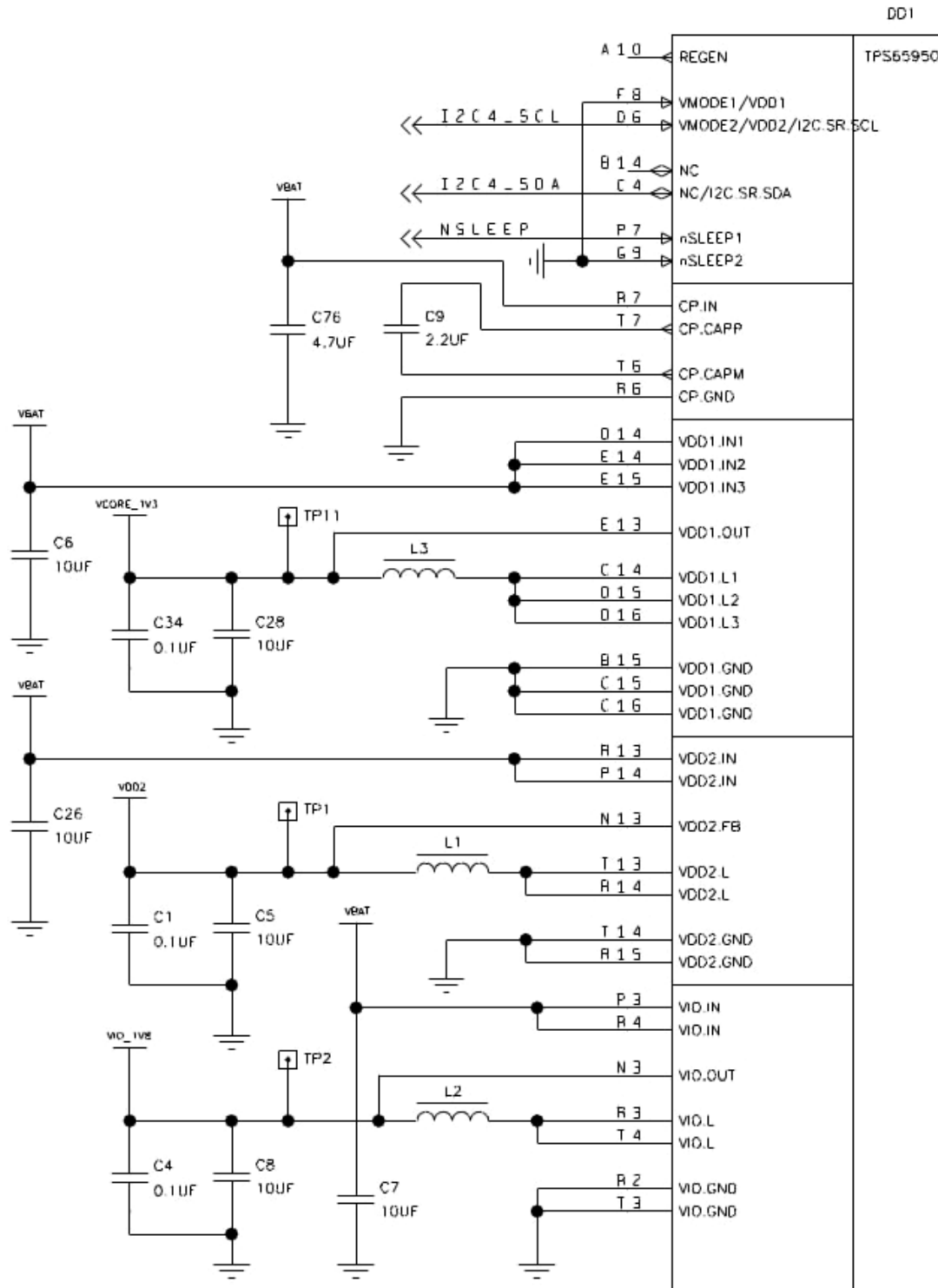


Рисунок 4. Основные шины питания

### 3.1.4 Управление TPS65950 с помощью шины I2C

Различные компоненты микросхемы TPS65950 контролируются процессором OMAP3530 с помощью шины I2C. Для управления устройством TPS65950 используется шина I2C1 со стороны процессора.

## 3.1.5 VIO\_1V8

Канал **VIO\_1V8** формируется регулятором напряжения **VIO** микросхемы **TPS65950**. Выход **VIO** является импульсным преобразователем с двумя величинами выходного напряжения: 1.8В или 1.85В. Напряжение устанавливают с помощью бита конфигурации **VSEL** (**VIO\_VSEL[0]**). Если бит **VSEL** равен 0, то выходное напряжение будет равно 1.8В. Если установить значение равное 1, то выходное напряжение будет 1.85В.

После сброса микросхемы **TPS65950**, значение напряжения будет равно 1.80В. Процессор должен записать 1 в поле **VSEL**, чтобы значение мощности изменилось на 1.85 В. Значение для платы **BlueShark** по умолчанию равно 1.8В. Данный регулятор на выходе обеспечивает питанием системную память, а также порты ввода-вывода. Регулятор является одним из первых источников питания, который должен быть включен в общую последовательность при включении питания. Питание **VIO** не поддерживает работу схем управления напряжением **SmartReflex**. Напряжение **VIO** может быть выключено или установлено в спящий режим с помощью настройки полей **SLEEP\_STATE** и **OFF\_STATE** в регистре **VIO\_REMAP**.

## 3.1.6 Основные напряжения питания ядра SmartReflex

Регуляторы **VDD1** и **VDD2** микросхемы **TPS65950** обеспечивают регулирование напряжения, совместимое с технологией **SmartReflex**. Контроллер **SmartReflex** процессора **OMAP3530** взаимодействует с микросхемой **TPS65950** с помощью шины **I2C**. Процессор рассчитывает требуемый уровень напряжения и передает данные **TPS65950** с помощью интерфейса **SmartReflex I2C**.

**SmartReflex** управление регуляторами **VDD1** и **VDD2** может быть разрешено установкой бита **SMARTREFLEX\_ENABLE** в «1» (**DCDC\_GLOBAL\_CFG[3]**). Для управления напряжением **VDD1** в интерфейсе **SmartReflex** микросхема **TPS65950** использует регистр **VDD1\_SR\_CONTROL**. В поле **MODE** регистра **VDD1\_SR\_CONTROL** может быть задано значение «0», что переводит регулятор **VDD1** в активное состояние; значение поля «1» переводит регулятор **VDD1** в спящий (**SLEEP**) режим. Уровень выходного напряжения **VDD1** может быть задан полем **VSEL** регистра **VDD1\_SR\_CONTROL**. Выходному напряжению **VDD1** задается значение  $VSEL * 12.5 \text{ мВ} + 600 \text{ мВ}$ .

## 3.1.7 VOCORE\_1V3

Канал **VOCORE\_1V3** получает питание от регулятора **VDD1** микросхемы **TPS65950**. Регулятор **VDD1** является понижающим импульсным преобразователем силой тока 1.1А с настраиваемым выходным напряжением в диапазоне от 0.6 В до 1.45 В с шагом 12.5 В. Данный регулятор используют для питания ядра процессора **OMAP3530**.

Процессор **OMAP3530** может управлять выходным напряжением **VDD1**, чтобы снизить уровень потребления. Значение выходного напряжения во время включения питания по умолчанию зависит от установок режима при загрузке. В случае платы **BlueShark** это значение составляет 1.2В. Выходное напряжение **VDD1** может быть изменено программно или аппаратно установкой бита **ENABLE\_VMODE** (**VDD1\_VMODE\_CFG[0]**). В каждом из этих режимов линейное изменение выходного напряжения может быть пошаговым либо

многошаговым, что зависит от значения, заданного в поле STEP\_REG регистра VDD1\_STEP[4:0]. Напряжение канала VOCORE\_1V3 должно составлять 1.3В после загрузки.

Помимо рассмотренных режимов, выходное напряжение **VDD1** также может регулироваться процессором **OMAP3530** с помощью интерфейса SmartReflex I2C. По умолчанию при сбросе выбирают режим с программным управлением. Вне зависимости от того, какой режим используется, можно задать **VDD1** те же значения выходного напряжения для спящего режима, что и для активного режима. Для этого необходимо задать нулевое значение биту DCDC\_SLP регистра VDD1\_VMODE\_CFG[2]. Если биту DCDC\_SLP установить значение равное 1, то выходное напряжение **VDD1** в спящем режиме будет равно минимальному напряжению, что будет отображено в поле VFLOOR (VDD1\_VFLOOR[6:0]).

### 3.1.8 VDD2

Шина напряжения **VDD2** создается микросхемой **TPS65950** при помощи регулятора **VDD2**. Регулятор **VDD2** - это понижающий импульсным преобразователь с возможностью регулировать выходное напряжение в диапазоне от 0.6 В до 1.45. Регулятор **VDD2** является источником питания для ядра процессора **OMAP3530**. Регулятор **VDD2** отличается от регулятора **VDD1** уровнем токовой нагрузки, а также значением выходного тока 600мА в активном режиме.

Регулятор **VDD2** предоставляет различные схемы регулирования напряжения. Когда **VDD2** контролируется сигналом VMODE2 или интерфейсом SmartReflex, то диапазон выходного напряжения составляет 0.6В до 1.45В. Использование сигнала VMODE2 и регистров VDD2\_VMODE\_CFG, VDD2\_STEP, VDD2\_FLOOR, VDD2\_ROOF похоже на использование соответствующих сигналов и регистров для **VDD1**. **VDD2** использует ту же шину SmartReflex I2C для задания напряжения регулятора. Регистр VDD2\_SR\_CONTROL используется для управления выходным напряжением **VDD2** в режиме SmartReflex.

Когда регулятор **VDD2** используется в программно-управляемом режиме, то поле VSEL (VDD2\_DEDICATED[4:0]) установлено, чтобы обеспечивающие уровень выходного напряжения в диапазоне от 0.6В до 1.45В. Выходному напряжению с помощью поля VSEL задается значение  $VSEL * 12.5 \text{ мВ} + 600 \text{ мВ}$ . Если в поле VSEL заданы значения, превышающие 1.45В, то микросхема **TPS65950** задает регулятору **VDD2** выходное напряжение равное 1.5В.

### 3.1.9 VMMC1

LDO-регулятор **VMMC1** является программируемым линейным регулятором напряжения, который используется для питания слота MMC1 и включает в себя резистор разряда и токовую защиту при перегрузке. Также данный LDO-стабилизатор может быть выключен автоматически в случае, если извлечена карта памяти MMC. **VMMC1** LDO получает питание от основной шины **VBAT**. Значение выходного напряжения шины **VMMC1** по умолчанию равно 3.0В, что определяется линиями конфигурации загрузки (boot pins) **TPS65950**. Сила тока при этом до 220мА.



## 3.2 Процессор OMAP3530

Процессор OMAP3530 является основным компонентом платы BlueShark. На рисунке 5 изображена подробная блок-схема процессора OMAP3530.

OMAP Applications Processor

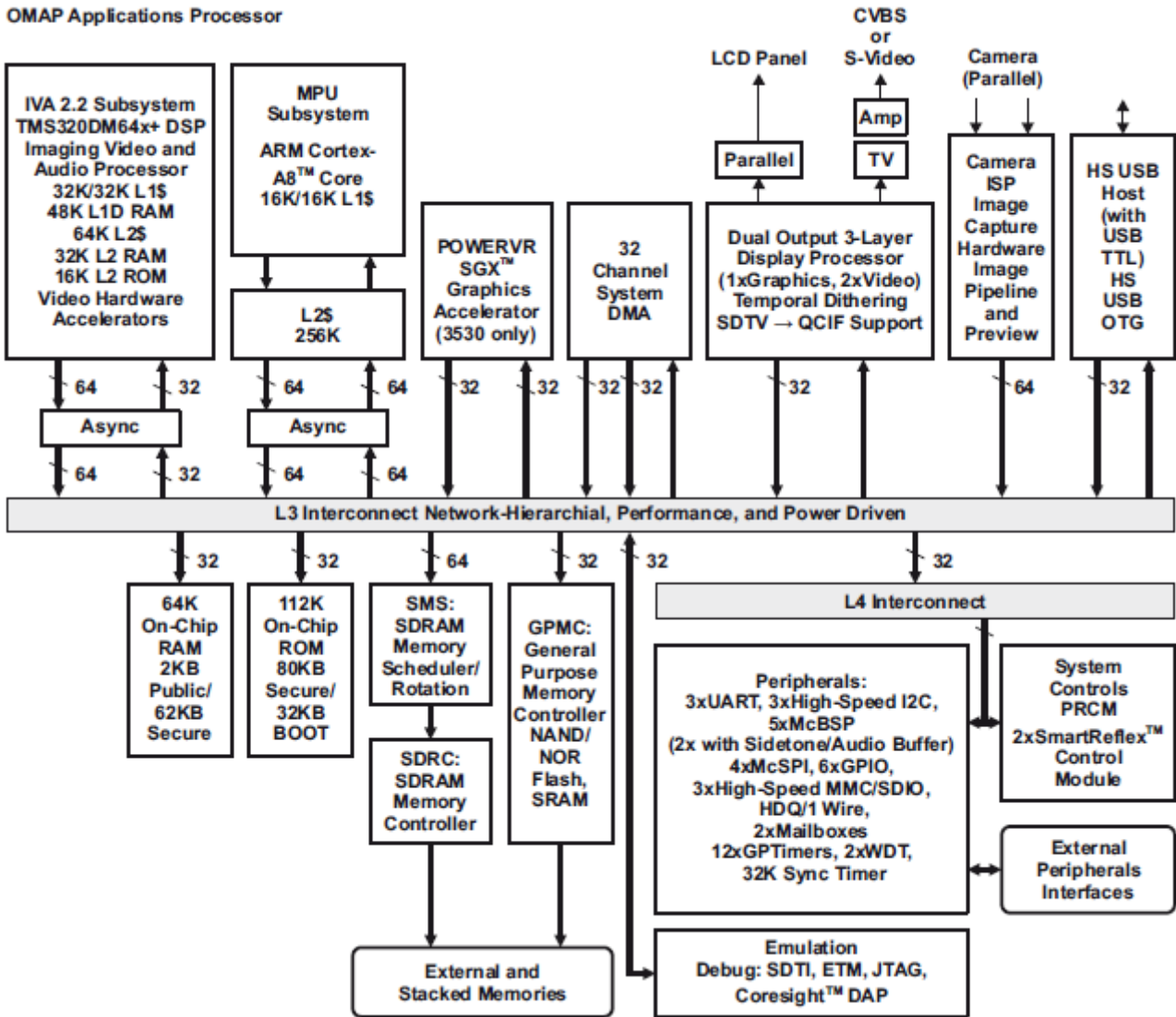


Рисунок 5. Блок-схема процессора OMAP3530

### 3.2.1 Общее представление

Процессор OMAP3530 является быстродействующим мультимедийным устройством, которое основано на улучшенной архитектуре OMAP™ 3. Архитектура OMAP3530 обеспечивает лучшую обработку в своем классе видео, изображениями и графики, достаточные для решения различных задач.

Процессор OMAP3530 поддерживает работу операционных систем высокого уровня, таких как:

- Windows CE
- Linux
- Ряд других

Процессор OMAP3530 включает последние технологии управления питанием требуемые для высокопроизводительных систем с низким потреблением. Процессор поддерживает следующие функции и интерфейсы на плате BlueShark:

- Микропроцессор ARM Cortex-A8™
- Интерфейс памяти POP
  - 2Гб MDDR SDRAM
  - 4Гб NAND флеш
- 24-бит интерфейс RGB (DSS)
- Интерфейс SD/MMC
- Интерфейс USB OTG
- Выходы NTSC/PAL/S-Video
- Управление питания
- Последовательный интерфейс
- I2C Интерфейс
- I2S Аудиоинтерфейс (порт McBSP1)
- Порт расширения McBSP2
- Интерфейс отладки JTAG

## 3.2.2 Шина SDRAM

Доступ к шине SDRAM отсутствует на плате BlueShark. Шина SDRAM доступна лишь на верхних выводах процессора OMAP3530, которые обеспечивают доступ к POP-памяти.

Базовый адрес памяти DDR SDRAM в памяти POP - **0x8000 0000**.

## 3.2.3 Шина GPMC

Доступ к шине GPMC выведен на разъем SO-DIMM, включая 8 сигналов выборки кристалла (CS).

**Внимание! Сигнал GPMC\_NBE0\_CLE также задействован для управления NAND флеш на POP- памяти. Модуль может перестать загружаться, если линия GPMC\_NBE0\_CLE будет неверно управляться.**

Шина GPMC является мультиплексированной шиной адреса/данных общей разрядностью 16 бит. С помощью GPMC можно организовать доступ к следующим видам памяти:

- NAND
- NOR
- SRAM
- PSRAM
- Устройства со статическим интерфейсом

Область памяти GPMC является программируемой. Для получения дополнительной информации необходимо обратиться к документации по процессору OMAP3530.

## 3.2.4 Подсистема дисплея DSS

Подсистема дисплея обеспечивает вывод на экран видеокadra из буферной памяти кадров SDRAM на ЖКИ дисплей с помощью DVI-D интерфейса или на встраиваемую (индустриальную) ЖК-панель. Выходной интерфейс DSS на разъеме SO-DIMM содержит преобразователь уровней 1.8В в 3.3В. Также для управления вспомогательными функциями доступны следующие выводы процессора (Таблица 2):

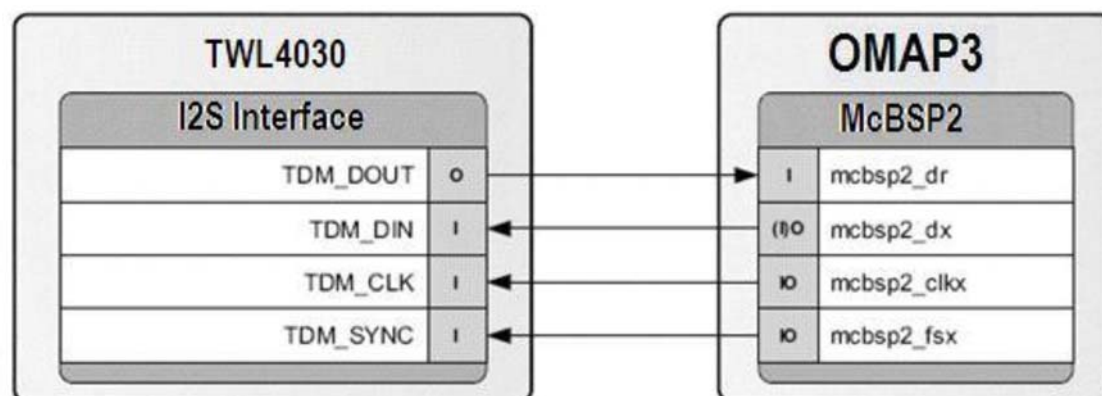
**Таблица 2. Вспомогательные выводы процессора для DSS/LCD интерфейса**

Вывод OMAP3530	Функция	Направление	Уровень	Вывод SODIMM
GPIO_170 (J23)	DVI DISABLE	Выход	3.3В	43
GPIO_153 (U4)	LCD_ENVDD	Выход	3.3В	48
GPIO_152 (V3)	LCD_INI	Выход	3.3В	46
GPIO_155 (T3)	RESB	Выход	3.3В	45

Максимальная глубина цвета, которая задается DSS, составляет 24 бит, однако, в случае необходимости могут использоваться режимы с меньшим количеством битов.

## 3.2.5 Порт McBSP2

Многоканальный буферизованный последовательный порт (McBSP) McBSP2 обеспечивает дуплексный последовательный интерфейс между процессором OMAP3530 и аудио-кодеком микросхемы **TPS65950** (TWL4030), используя формат I2S. Порт McBSP2 изображен на **рисунке 6**.



**Рисунок 6. Интерфейс порта McBSP2**

## 3.2.6 Порт McBSP1

Порт McBSP1 обеспечивает дуплексный последовательный интерфейс между процессором OMAP3530 и интерфейсом расширения. Порт McBSP1 поддерживает 6 сигналов, в отличие от других портов, которые поддерживают 4 сигнала. Схема порта McBSP1 изображена на **рисунке 7**.

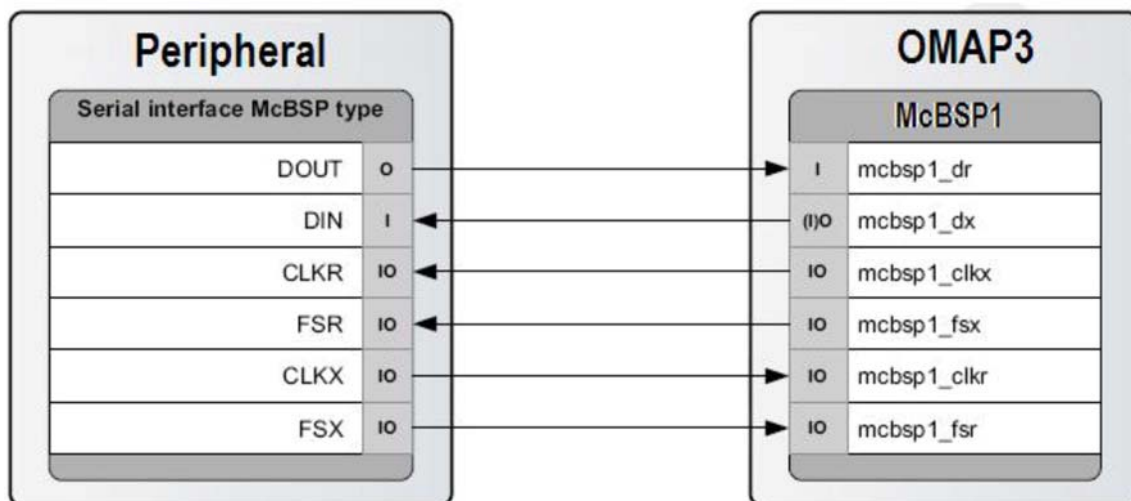


Рисунок 7. Интерфейс порта McBSP1

### 3.2.7 Порт McBSP3

Порт McBSP3 обеспечивает дуплексный последовательный интерфейс между процессором OMAP3530 и интерфейсом расширения. Схема порта McBSP3 изображена на **рисунке 8**.

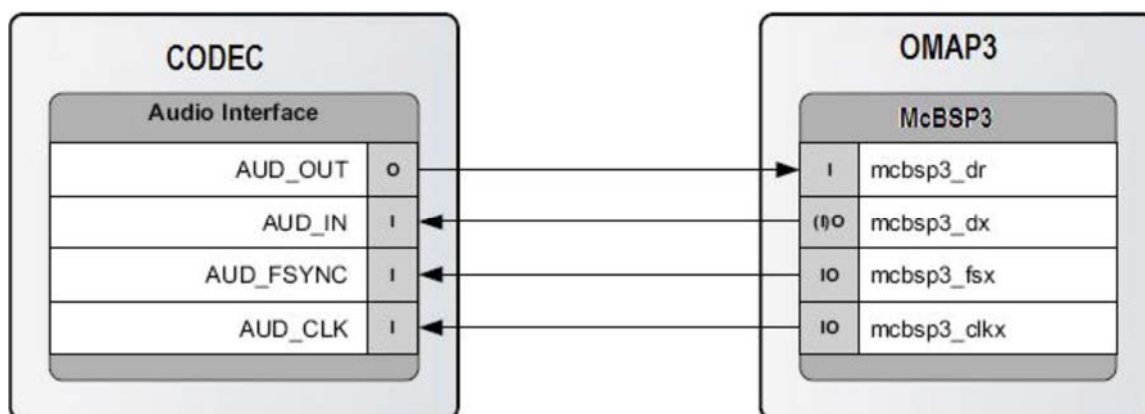


Рисунок 8. Интерфейс порта McBSP3

### 3.2.8 Мультиплексирование выводов

Большая часть выводов процессора OMAP3530 может иметь несколько конфигураций. По существу, вывод процессора может выполнять различные функции в зависимости от того, как данный вывод настроен в ПО. Каждый вывод может иметь до 7 возможных функций. Это называют режимом вывода и определяют 3-битным значением (0:3).

### 3.2.9 Функция прерываний

Имеется небольшое количество выводов процессора OMAP3530, которые действуют как сигналы прерывания. Некоторые из этих сигналов прерывания связаны с TPS65950 и их

состояние отражается в основном сигнале прерывания TPS65950. В **таблице 5** перечислены сигналы прерываний.

**Таблица 3. Входы прерывания процессора OMAP3530**

TPS65950 линия	OMAP линия	INT/GPIO	Использование
F10	V16	SYS_nIRQ	Прерывание от TPS65950
	V2	GPIO_29	SD защита от записи. Может быть опрошена или настроена как прерывание.
P12		GPIO0	MMC1 вставлена. Передается OMAP3530 через SYS_nIRQ линию.
	R8	GPIO_175	Нажатие на сенсорный экран
	R9	GPIO_176	Прерывание от сетевого контроллера

### 3.3 Устройство POP памяти

На модуле BlueShark использован процессор OMAP3530 с памятью POP (Package-on-Package - корпус на корпусе). Многокристальный модуль (multi-chip package, MCP) POP памяти включает оперативную память DDR SDRAM и флэш-память NAND. На **рисунке 9** изображена концепция POP памяти.



**Рисунок 9. POP Память**

Устройство памяти устанавливают поверх корпуса процессора OMAP3530. В конфигурации модуля используют флэш-память NAND на 2 или 4 Гбит, а также оперативная память MDDR SDRAM на 2 или 4 Гбит компании Micron.

### 3.4 Системные Частоты

Для функционирования модуля BlueShark требуются три частоты: 32кГц, 26МГц и McBSP\_CLK.

Источником частоты 32кГц является часовой кварц ZQ1, расположенный на верхнем слое модуля. Кварц подключен к выводам TPS65950, затем уже цифровой сигнал 32кГц поступает на вход процессора OMAP3530. Контрольная точка TP6 позволяет проконтролировать сигнал 32кГц, поступающий на вход процессора.

Источником частоты 26МГц является кварцевый генератор ZQ3, расположенный на нижнем слое модуля. Кварц подключен ко входу TPS65950, чтобы синхронизовать все процессы в TPS65350 и OMAP3530 от одного источника. Контрольная точка TP7 позволяет проконтролировать сигнал 26МГц, поступающий на вход процессора.

## 3.4.1 Частота 32 кГц

Частота 32 кГц необходима для функционирования микросхемы **TPS65950** и процессора **OMAP3530**. У микросхемы **TPS65950** имеется отдельный выход от кристалла к процессору **OMAP3530**. Микросхема буферизует частоту 32 кГц от кварца и подает её процессору как **32KCLKOUT**. По умолчанию сигнал **32KCLKOUT** находится в активном режиме, но при желании может быть выключен программно.

Частота 32.768 кГц запускает часы реального времени (RTC), встроенные в **TPS65950**. По умолчанию часы выключены. Для запуска часов реального времени процессор должен установить правильные дату и время.

## 3.4.2 Частота 26 МГц

В данном разделе описана секция частоты 26 МГц модуля BlueShark.

### 3.4.2.1 Источник частоты 26МГц

В схеме модуля используется генератор частоты 26МГц, отмеченный как ZQ3. На вход A14 микросхемы TPS65950 поступает внешний сигнал **HFCLKIN**, который используется для синхронизации или генерирования частот, необходимых для функционирования подсистем TPS65950. Для запуска работы всего модуля микросхеме TPS65950 необходима частота 26МГц, без нее плата не запустится.

### 3.4.2.2 Настройка TPS65950

Когда TPS65950 переходит в активное состояние, процессору необходимо немедленно подтвердить появление частоты **HFCLKIN** (26 МГц) установкой битового поля **HFCLK\_FREQ** (биты [1:0]) в регистре **VDD1\_SR\_CONTROL** микросхемы TPS65950. Поле **HFCLK\_FREQ** по умолчанию не установлено, поэтому USB-подсекция не работает, три импульсные источника питания (**VIO**, **VDD1** и **VDD2**) работают от автономного RC-генератора на частоте 3МГц. Поле **HFCLK\_FREQ** должно быть установлено процессором **OMAP3530** во время последовательности включения питания. Внутренняя ПЗУ (ROM) процессора выполняет это автоматически при старте.

## 3.4.3 Частота McBSP\_CLKS

Дополнительная частота поступает от **TPS65950**: **McBSP\_CLKS**. Данная частота необходима, чтобы синхронизировать интерфейс I2S между процессором **OMAP3530** и микросхемой **TPS65950**.

## 3.5 Порт USB OTG

Основным USB-портом на плате BeagleBoard является порт USB OTG (On-the-Go). Он может функционировать как OTG порт и как клиент-порт.

### 3.5.1 Обзор USB OTG

USB OTG представляет собой дополнение к спецификации USB 2.0. Стандартная шина USB использует архитектуру «ведущий»/«ведомый», при этом USB-хост является ведущим устройством, а периферийное устройство, подключенное к шине USB, является ведомым. Лишь у USB хоста имеется возможность планировать конфигурацию и осуществлять передачу данных через канал связи. USB периферийные устройства не могут инициировать передачу данных, они лишь отвечают на команды хоста.

В режиме OTG устройства не должны быть строго периферийными, поскольку время от времени они могут выступать в роли хоста. В качестве примера может выступать подсоединение USB клавиатуры (ведомый/клиент) или USB-концентратор (ведущий/хост). Устройства, поддерживающие стандарт USB OTG, могут инициировать сеанс работы, контролировать соединение и обмениваться между собой ролями хост/периферийное устройство.

Использование режима USB OTG не запрещает использование концентратора, но предполагает обмен ролями только в случае подключения "один к одному", при котором два OTG устройства соединены между собой напрямую. Использование стандартного концентратора приводит к потере возможности обмена ролями. Одно устройство становится по умолчанию хостом, а другое по умолчанию периферийным устройством до тех пор, пока концентратор не будет отключен.

### 3.5.2 Схема USB OTG

На **рисунке 10** изображена схема порта USB OTG на модуле BlueShark.

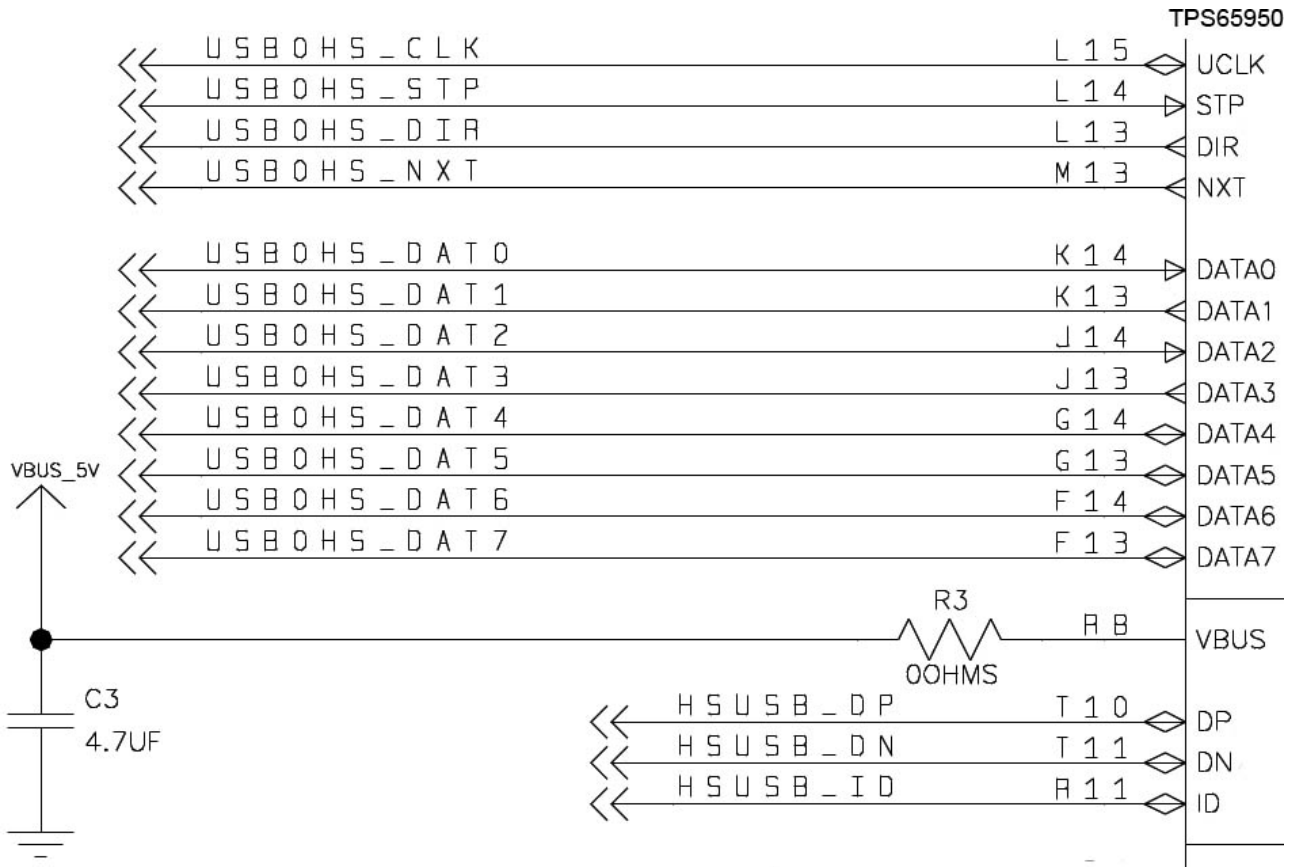


Рисунок 10. Схема USB OTG

### 3.5.3 ULPI-интерфейс OTG-устройства

ULPI является стандартным интерфейсом для высокоскоростных шин USB 2.0. ULPI определяет интерфейс между USB-контроллером (OMAP3530) и микросхемой TPS65950, которая управляет шиной USB. ULPI является интерфейсом UTMI+ с малым числом выводов и спроектирован специально для того, чтобы сократить число выводов дискретных высокоскоростных устройств USB PHY. Сокращение числа выводов минимизирует стоимость и площадь чипа физического уровня (PHY) на печатной плате (PCB), а также снижает количество выводов USB-контроллера.

В отличие от Lo-Speed и Full-Speed USB устройств, которые используют последовательные интерфейсы, для высокоскоростных устройств USB требуется параллельный интерфейс между USB-контроллером и протоколом физического уровня (PHY) для того, чтобы USB-шина работала со скоростью передачи данных 480 мегабит в секунду. Это приводит, соответственно, к повышению уровня сложности и увеличению числа выводов. Используемый интерфейс ULPI использует 12 сигналов, поскольку объединяет 3 сигнала управления и частоту с 8-битной двунаправленной шиной данных. Эта шина используется также для пакетной передачи данных и для получения доступа к данным регистров в ULPI PHY.

#### 3.5.3.1 Интерфейс процессора OMAP3530



Контроллер ULPI интерфейса является процессор OMAP3530. Он обеспечивает все необходимые сигналы для работы интерфейса. В **таблице 4** представлены сигналы процессора OMAP3530, которые используются в интерфейсе USB OTG.

**Таблица 4. Интерфейс ULPI процессора OMAP3530**

Сигнал	Описание	Тип	Линия
hsusb0_clk	Сигнал частоты 60 МГц от PHY	I	W19
hsusb0_stp	Сигнал Stop	O	U20
hsusb0_dir	Сигнал Data direction от PHY	I	V19
hsusb0_nxt	Сигнал Next от PHY	I	W18
hsusb0_data0	Двунаправленная шина данных	I/O	V20
hsusb0_data1	Двунаправленная шина данных	I/O	Y20
hsusb0_data2	Двунаправленная шина данных	I/O	V18
hsusb0_data3	Двунаправленная шина данных	I/O	W20
hsusb0_data4	Двунаправленная шина данных	I/O	W17
hsusb0_data5	Двунаправленная шина данных	I/O	Y18
hsusb0_data6	Двунаправленная шина данных	I/O	Y19
hsusb0_data7	Двунаправленная шина данных	I/O	Y17

### 3.5.3.2 Интерфейс микросхемы TPS65950

USB интерфейс TPS65950 соединен с процессором OMAP3 при помощи интерфейса ULPI. В **таблице 5** представлен список сигналов, использующихся в микросхеме OMAP3530 для работы интерфейса ULPI.

**Таблица 5. ULPI интерфейс TPS65950**

Сигнал	Описание	Тип	Линия
UCLK	High speed USB clock	I/O	L15
STP	High speed USB stop	I	L14
DIR	High speed USB dir	O	L13
NXT	High speed USB direction	O	M1
DATA0	High speed USB Data bit 0	I/O	K14
DATA1	High speed USB Data bit 0	I/O	K13
DATA2	High speed USB Data bit 0	I/O	J14
DATA3	High speed USB Data bit 0	I/O	J13
DATA4	High speed USB Data bit 0	I/O	G14
DATA5	High speed USB Data bit 0	I/O	G13
DATA6	High speed USB Data bit 0	I/O	F14
DATA7	High speed USB Data bit 0	I/O	F13

### 3.5.4 Генератор подкачки заряда в режиме OTG

Когда микросхема выступает в качестве А-устройства (ведущий), используется повышающий преобразователь питания для того, чтобы обеспечить вывод VBUS питанием 4.8В/100 мА. Когда микросхема выступает в качестве В-устройства (ведомый), USB генератор подкачки заряда находится в высокоимпедансном состоянии. В **таблице 6** представлены выводы генератора подкачки заряда.

Таблица 6. Выводы генератора подкачки заряда USB OTG

Сигнал	Описание	Тип	Вывод
CP.IN	Вход повышающего преобразователя. Питается от VBAT.	Power	R7
CP.CAPP	Положительный выход накачивающего конденсатора	O	L14
CP.CAPM	Отрицательный выход накачивающего конденсатора	O	T6
CP.GND	Земля повышающего преобразователя	GND	R6

Генератор подкачки заряда получает питание от шины напряжения VBAT и номинально производит напряжение 4.8В питания вывода **VBUS**. Диапазон входного напряжения составляет от 2.7В до 4.5В, таким образом, напряжение вывода **VBAT** 4.2В находится в этом диапазоне. Рабочая частота генератора подкачки составляет 1 МГц. Генератор подкачки заряда имеет цепь защиты от короткого замыкания с ограничением тока в 450 мА.

### 3.6 USB хост-порт

Модуль BlueShark имеет HiSpeed USB 2.0 хост-порт интерфейс, подсоединенный к ULPI-порту 2 процессора OMAP3530. Используется микросхема физического уровня SMSC USB3320, которая способна обеспечить лишь протокол High-Speed USB 2.0 и не допускает подключений Low- и Full-Speed устройств, например мышь и клавиатура. Чтобы обеспечить работу низкоскоростных устройств необходимо их подключать через Hi-Speed USB 2.0 концентратор (hub).

Схема сброса USB PHY на модуле BlueShark отличается от аналогичной на Beagleboard. Для линии сброса USB PHY задействована линия GPIO\_20, а не GPIO\_147. Поэтому это необходимо учитывать при компиляции u-boot, ядра Linux и др. программного обеспечения для обслуживания аппаратуры.

Также на разъем SO-DIMM выведены две линии контроля управления ключом питания разъема USB-хост: nEN\_USB\_PWR и HOST\_nOC. Эти линии также могут быть использованы под другие нужды, питание на разъем USB-хост в этом случае должно поступать непрерывно.

#### 3.6.1 USB-хост интерфейс OMAP3

Интерфейсом, совместимым с процессором OMAP3, является интерфейс USB 2.0 (в высокоскоростном (HS) режиме). В **таблице 7** представлены сигналы, которые используются в данном интерфейсе.

Таблица 7. Сигналы порта USB-хост процессора OMAP3

Сигнал	Описание	Тип	Вывод
HSUSB2_CLK	Сигнал частоты 60 МГц от PHY	O	AE4
HSUSB2_STP	Сигнал Stop	O	AF6
HSUSB2_DIR	Сигнал Data direction от PHY	I	AE6
HSUSB2_NXT	Сигнал Next от PHY	I	AF7
HSUSB2_DATA0	Двунаправленная шина данных	I/O	AF9
HSUSB2_DATA1	Двунаправленная шина данных	I/O	AE9
HSUSB2_DATA2	Двунаправленная шина данных	I/O	T8
HSUSB2_DATA3	Двунаправленная шина данных	I/O	V9
HSUSB2_DATA4	Двунаправленная шина данных	I/O	W8
HSUSB2_DATA5	Двунаправленная шина данных	I/O	U8
HSUSB2_DATA6	Двунаправленная шина данных	I/O	V8
HSUSB2_DATA7	Двунаправленная шина данных	I/O	W7
GPIO_20	Управление сбросом PHY	O	AE3

Микросхема USB PHY USB3320 работает в режиме приема внешней частоты, для этого используется линия HSUSB2\_CLK.

### 3.6.2 USB-хост PHY

В схеме BlueShark использована микросхема физического уровня USB3320 компании SMSC. USB3320 высокоинтегрированным высокоскоростным трансивером (PHY) спецификации USB 2.0, отвечающим всем электро-техническим требованиям для использования в качестве высокоскоростного USB-хоста, USB-устройства или On-the-Go (OTG) трансивера. В схеме BlueShark микросхема настроена на работу только в хост-режиме. Для подсоединения USB PHY к процессору OMAP3, трансивер USB3320 использует промышленный стандарт UTMI+ интерфейса с малым числом выводов (ULPI).

USB3320 имеет необходимые согласующие резисторы для линий **DP** и **DM**. Линия ID, которая определяет режим работы USB3320, притянута к Земле, поэтому микросхема может работать только в режиме USB-хост.

### 3.7 Интерфейс SD/MMC

Модуль BlueShark предоставляет интерфейс SD/MMC для использования карт памяти, например, Multimedia (MMC) и SD, и различных устройств в форм-факторе SDIO. SD/MMC интерфейс может работать как в обычном 4-бит режиме, так и в 8-бит режиме. Для 8-бит режима потребуется специальный разъем.

Интерфейс поддерживает работу карт следующих 7 видов (для некоторых видов потребуется соответствующий разъем на 8бит):

- **SD** - Secure Digital (SD) – карта флэш-памяти производства компаний Matsushita, SanDisk и Toshiba, используется в портативных устройствах. Объем SD карты составляет от 8МБ до 64ГБ. Карты объемом свыше 4ГБ относятся к картам высокой плотности SDHC. Некоторые устройства не поддерживают совместное использование более ранних карт памяти и новых объемом 4 Гб и более. На SD карте имеется выключатель защиты от записи, предохраняющая карту от перезаписи. Интерфейс SD поддерживает режимы: 1-бит, 4-бит, а также SPI.

- **miniSD** - обладает теми же функциональными возможностями, что и карта памяти SD с тем исключением, что обладает меньшим размером и не все производители поддерживают 4-битный режим.
- **SDIO** –Secure Digital Input Output. SD слоты могут использоваться не только для карт флэш-памяти. Формат **SDIO** могут поддерживать небольшие устройства, созданные для форм-фактора SD, например, GPS приемники, Wi-Fi или Bluetooth адаптеры, модемы, Ethernet адаптеры, сканеры штрих-кодов, IrDA адаптеры, FM-радио тюнеры, ТВ-тюнеры, RFID ридеры, цифровые фотоаппараты, а также другие накопители, например, жёсткие диски. Карты памяти SDIO полностью совместимы с хост-контроллером карт памяти SD (совместимы, в том числе, механически, электрически, с точки зрения питания, сигналов и программного обеспечения). Таким образом, если карта памяти SDIO помещена в хост-устройство, не поддерживающее формат SDIO, это не вызовет повреждение или разрушение устройства или хост-контроллера. Необходимо отметить, что шинная топология SPI является обязательной для формата SDIO, в отличие от памяти SD и большей части команд памяти SD, которые не поддерживаются форматом SDIO. На **рисунке 36** изображен пример фотокамеры SDIO.
- **MMC**- The Multi Media Card (**MMC**) является стандартом карт флэш-памяти. Размеры карты MMC сравнимы с размером почтовой марки и составляют 24мм x 32мм x 1.4мм. Изначально MMC использовала 1-битный последовательный интерфейс, однако спецификация более новых версий позволяет передавать за один раз 4 бита. В настоящее время карты памяти MMC доступны объемом 4 Гб и 8Гб.
- **MMCplus** - флэш-карта, представленная в 2005 году, соответствует спецификациям MMC версии 4х и обладает значимыми изменениями по сравнению с SD картами. Карты отличаются тактовой частотой 26МГц и 52МГц - более высокой, чем у оригинальной карты MMC (20МГц) и SD(25МГц и 50 МГц). Версия 4х полностью совместима с существующими считывателями более ранних версий, однако для активизации новых функций требуется обновление аппаратно-программного обеспечения.
- **MMCmobile** – обладает теми же техническими характеристиками, что и MMCplus за исключением того, что поддерживает 8-битовый режим.
- **RS-MMC** – альтернативный форм-фактор, представленный в 2004 году, известен как портативная флэш-карта памяти уменьшенного размера (Reduced-Size MultiMediaCard) или RS-MMC. Данный форм-фактор обладает еще меньшими размерами – около половины размера 24мм × 18мм × 1.4мм.

## 3.7.1 Питание MMC

К SD/MMC слоту питание поступает от микросхемы **TPS65950** через шину **VMMC1**. Уровень напряжения на шине по умолчанию равен 3.0В, в соответствии с настройками Boot ROM процессора. Однако при использовании карт, работающих под напряжением 1.8В,

может быть программно установлен уровень напряжения 1.8В. Максимальный уровень тока данной шины определяется стабилизатором микросхемы TPS65950 и составляет 220мА.

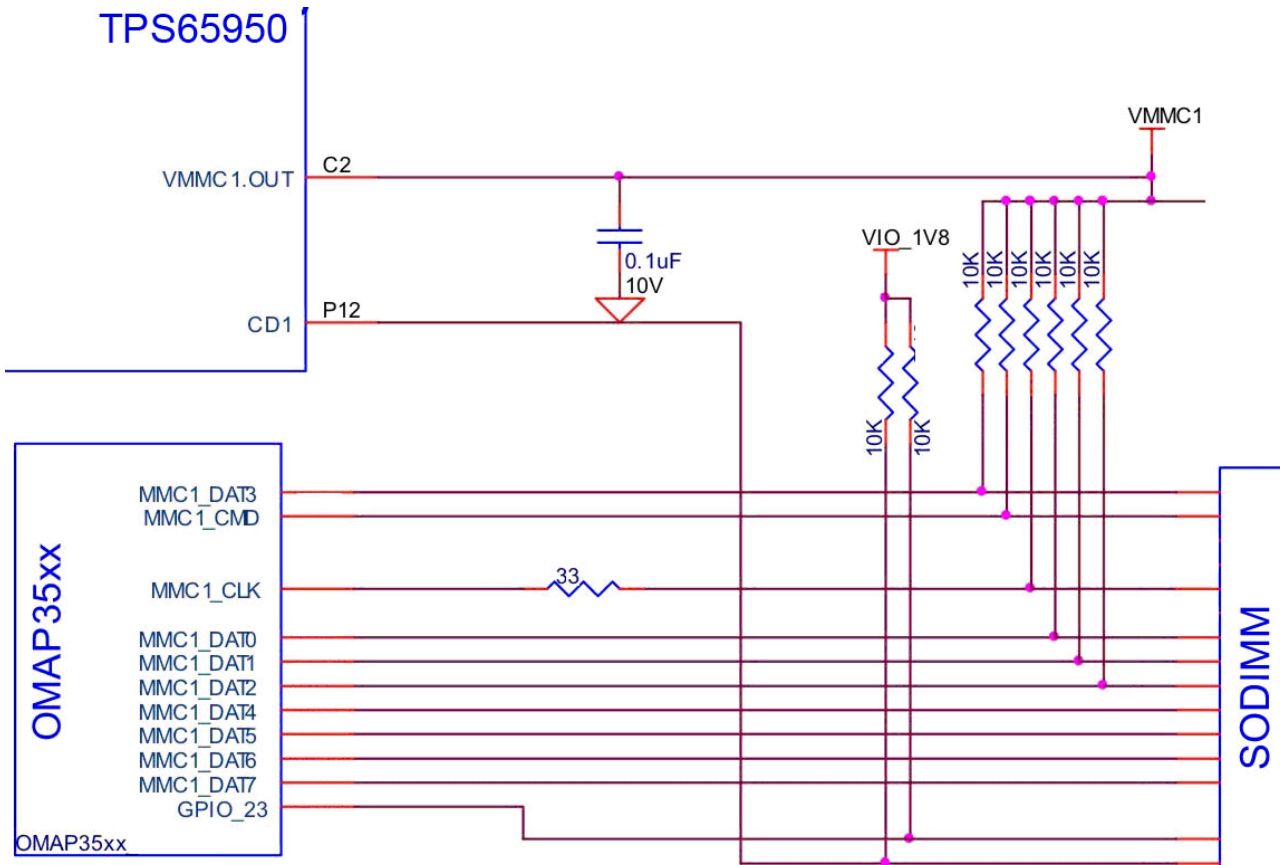
### 3.7.2 Интерфейс процессора OMAP3530

Для работы карт памяти SD/MCC не требуется внешнее буферное устройство. Процессор OMAP3530 предоставляет все необходимые интерфейсы для SD/MMC.

Основные функциональные возможности хост-контроллера MMC/SD/SDIO:

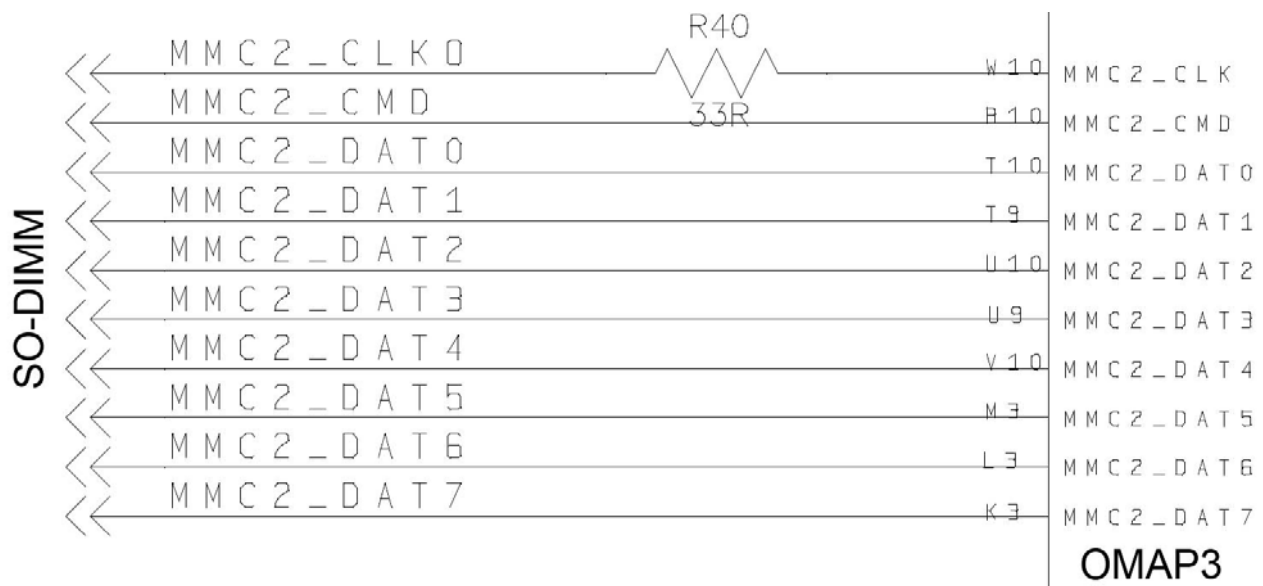
- Полная совместимость с форматом MMC запрос/ответ, в соответствии со *спецификацией портативной флэш-карты памяти, версия 4.0 (Multimedia Card System Specification, v4.0)*
- Полная совместимость с форматом SD запрос/ответ, в соответствии со *спецификацией карты памяти, версия v1.10d (SD Memory Card Specifications, v1.10d)*.
- Полная совместимость с форматом SDIO запрос/ответ, а также с режимами прерываний/чтения-ожидания, в соответствии со *спецификацией карты памяти SDIO, часть E1, версия 1.10*
- Совместимость с настройками, определенными в Спецификации карты памяти SD, Часть A2, и в *SDIO Card Specification, версия 1.00*.
- Полная совместимость с методикой испытаний шины данных MMC, в соответствии со *спецификацией портативной флэш-карты памяти, версия 4.0 (Multimedia Card System Specification, v4.0)*
- Полная совместимость с CE-ATA команда/ответ, в соответствии с *CE-ATA Standard Specification*.
- Полная совместимость с интерфейсом АТА для спецификации ММСА.
- Гибкая архитектура, поддерживающая новую командную структуру.
- Поддержка:
  - режим передачи 1-бит или 4-бит для карт памяти SD и SDIO.
  - режим передачи 1-бит, 4-бит или 8-бит для карт памяти MMC
- Встроенное буфер на 1024 байт для записи или чтения
- Шина доступа 32-бит для максимизации пропускной способности
- Одна линия прерывания для множественных источников прерываний
- Два подчиненных канала прямого доступа к памяти (один предназначен для передатчика, второй – для приемника)
- Программируемая генерация тактовых или синхронизирующих импульсов
- Поддержка SDIO функций чтения и ожидания, а также функций приостановить/возобновить
- Поддерживает команду STOP у межблочного промежутка
- Поддерживает сигнал завершения команды (CCS) и запрещение сигнала завершения команды (CCSD), в соответствии с *CE-ATA Standard Specification*.

Схема подключения для MMC1 показана на рисунке 11.



**Рисунок 11. Схема интерфейса SD/MMC1**

Канал MMC2 выведен на разъем SO-DIMM но не имеет подтяжек и не настроен в программном обеспечении. Схема интерфейса OMAP3530 для MMC2 представлена на рисунке 12.



**Рисунок 12. Интерфейс SD/MMC2**

Известны следующие ограничения:

- Отсутствует встроенная аппаратная поддержка коррекции ошибок (ECC). Для получения дополнительной информации о коррекции ошибок (ECC) следует обратиться к *спецификации портативной флэш-карты памяти, версия 4.0 (Multimedia Card System Specification, v4.0)* и к *спецификации карты памяти SD, версия v1.10d (SD Memory Card Specifications, v1.10d)*.
- В соответствии со *спецификацией карты памяти, версия v1.10d*, максимальный размер блока информации, которую хост-драйвер может прочитать и записать в буферное устройство хост-контроллера, составляет 2048 байт. MMC поддерживает максимальный размер блока информации 1024 байт. Передавая до 512 байт, буферное устройство MMC считается устройством двойной буферизации с попеременным переключением в режиме ввода. Одна половина буфера может быть записана, в то время как другая – прочитана. Передавая от 512 до 1024 байт, весь буфер работает на передачу данных (только чтение или только запись).

В таблице 8 приведено описание сигналов на MMC1 интерфейсе.

**Таблица 8. Линии SD/MMC1 процессора OMAP3**

Сигнал	Описание	Тип	Вывод
MMC1_CLK	SD/MMC Частота	O	N19
MMC1_CMD	SD/MMC Команда	I/O	L18
MMC1_DAT(0..7)	SD/MMC линии данных	I/O	M19, M18, K18, N20, M20, P17, P18, P19
MMC_WP	Обнаружение защиты от записи	I	V2

### 3.7.3 Обнаружение карты

Когда карта памяти вставлена в SD/MMC разъем, вывод обнаружения карты заземлен. Линия обнаружения карты находится на входе **P12** микросхемы **TPS65950**. Сигнал прерывания, в случае его активирования, посылается процессору **OMAP3530** через общее прерывание от TPS65950. Программное обеспечение может быть настроено таким образом, что в случае обнаружения карты памяти система выйдет из спящего режима или режима пониженной частоты.

### 3.7.4 Защита от записи

Если в SD/MMC разъем вставлена SD карта памяти с запрещенной записью, то линия определения защиты от записи заземляется. В процессоре OMAP3530 линия определения защиты от записи канала MMC1 является **GPIO\_29**.

### 3.7.5 8-битный режим

Плата BlueShark поддерживает также новые 8-битные карты памяти через каналы MMC1 и MMC2. Верхние 4 бита получают питание от шины питания VMMC2, в отличие от Beagleboard где используется VDD\_SIM. 8-битный режим поддерживает лишь обмен сигналами напряжением 1.8В. В связи с этим, при использовании 8-битных карт памяти напряжение шин VMMC1 и VMMC2 должно быть равно 1.8В.

### 3.7.6 Загрузка с карт памяти SD/MMC

Boot ROM поддерживает загрузку с карт памяти со следующими ограничениями:

- Поддержка карт памяти MMC/SD, совместимых с Multimedia Card System Specification v4.2 и с Secure Digital I/O Card Specification v2.0. Включая карты памяти высокой плотности SDHC и HC MMC.
- Питание 3В, напряжение ввода-вывода 3В
- Режим 1-бит MMC или 4-бит SD режим.
- Тактовая частота:
  - Режим идентификации: 400 кГц
  - Режим передачи данных: 20МГц
- К шине подсоединяют лишь одну карту памяти
- Поддержка таблицы размещения файлов FAT12/16/32, с MBR или без него

Высокоскоростные MMC/SD/SDIO хост-контроллеры обслуживают физический уровень, в то время как ROM OMAP3530 оперирует с упрощенным логическим протоколом (протокол только-чтение). Спецификация MMC/SD определяет два уровня рабочего напряжения для стандартных и высокоскоростных карт: 3.3В и 1.8В. ROM OMAP3530 поддерживает только стандартный уровень рабочего напряжения (3В). ROM считывает файл загрузки с файловой системы карты и загружает этот файл, стартуя с него.

## 3.8 Аудио интерфейс

BlueShark поддерживает стерео ввод и вывод, который предоставляется через Аудио-кодек, встроенный в TPS65950. Для связи с Аудио-кодеком задействован последовательный порт McBSP2.

### 3.8.1 Аудио интерфейс OMAP3530

Процессор OMAP3530 предоставляет пять модулей McBSP: McBSP1..McBSP5. McBSP2 обеспечивает прямой полнодуплексный последовательный интерфейс между внутренним кодеком TPS65950 и процессором. Обмен происходит в формате I2S. В **таблице 9** представлены линии процессора, задействованные в обмене с кодеком.

**Таблица 9. Аудио-сигналы процессора OMAP3530**

Сигнал	Назначение	I/O	Линия
MCBSP2_DR	Прием последовательных данных	I	T18
MCBSP2_DX	Передача последовательных данных	I/O	R19
MCBSP2_CLKX	Синхроимпульс	I/O	R18
MCBSP2_FSX	Кадровая синхронизация	I/O	U18
MCBSP2_CLKS	Внешний вход частоты. Нужен для синхронизации с TPS65950	I	T19

### 3.8.2 Аудио интерфейс TPS65950

TPS65950 выступает в качестве ведущего или подчиненного устройства для интерфейса I2S. В роли мастера TPS65950 должен выдавать сигналы кадровой синхронизации I2S\_SYNC и битовую частоты I2S\_CLK. В режиме ведомого TPS65950 напротив принимает сигналы



кадровой синхронизации I2S\_SYNC и битовую частоту I2S\_CLK. TPS65950 поддерживает стандартные режимы I2S, данные с левым- и правым- выравниванием, но не поддерживает ведомый режим TDM.

В **таблице 10** изображены все сигналы, которые используются для взаимодействия с процессором OMAP3530.

**Таблица 10. Аудио-сигналы TPS65950**

Сигнал	Назначение	I/O	Линия
I2S.CLK	Частота	I/O	L3
I2S.SYNC	Синхронизация	IO	K6
I2S.DIN	Прием данных	I	K4
I2S.DOUT	Передача данных	O	K3
CLK256FS	Синхронизация по кадру для OMAP3530	O	D13

## 3.9 Интерфейс дисплея

LCD интерфейс процессора OMAP3530 выведен на SO-DIMM разъем. Данный интерфейс может быть использован для управления следующими видами дисплеев:

- Встраиваемые панели TTL 18бит, 24бит
- Встраиваемые панели LVDS 18бит, 24бит
- DVI-D мониторы
- HDMI мониторы (задействована только видео часть цифрового сигнала DVI-D)

### 3.9.1 LCD-интерфейс процессора OMAP3530

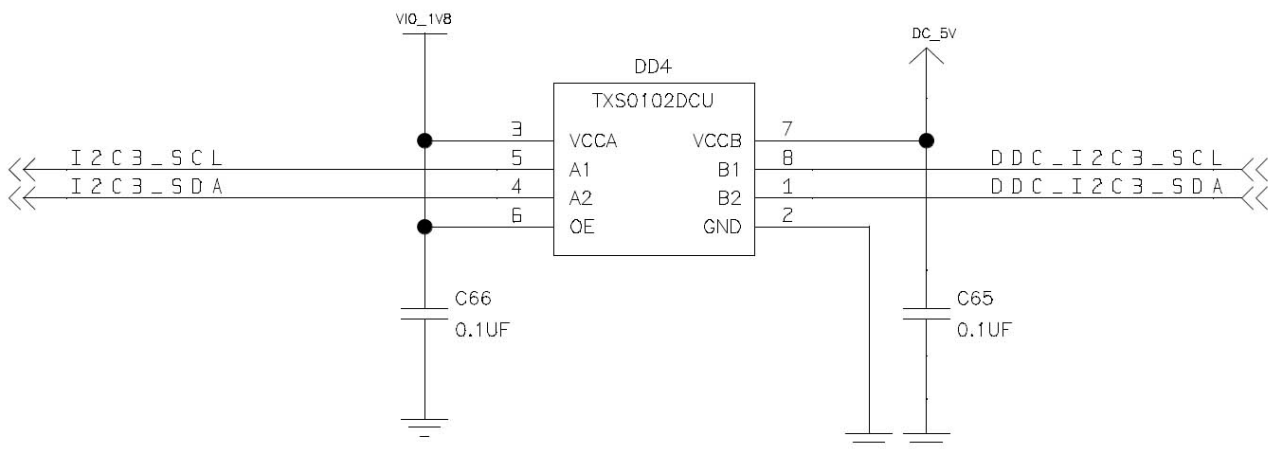
LCD интерфейс предоставляется через выводы DSS процессора. Для удобства прямого подключения выводов модуля BlueShark напрямую к панелям или LVDS микросхемам на модуле уже установлен транслятор уровней 1.8В/3.3В. Чтобы минимизировать отраженные сигналы высокой частоты между процессором и транслятором уровней 1.8В/3.3В установлены резисторы 10 Ом. Также резисторы 10 Ом установлены на выходе транслятора уровней до разъема SO-DIMM. Максимальная тактовая частота сигналов LCD интерфейса составляет 65 МГц.

### 3.9.2 Питание LCD-интерфейса OMAP3530

Для корректного функционирования работы DSS выходов процессора OMAP3530 необходимо активизировать две шины напряжения - **VIO\_1V8** и **VDD\_PLL2**. Работа обеих шин контролируется микросхемой TPS65950 и уровень их напряжения должен составлять 1.8В. По умолчанию, шина **VDD\_PLL2** не является включенной и ее необходимо активировать при помощи программного обеспечения. В противном случае, часть битов дисплея не будет запитана.

### 3.9.3 Канал DDC дисплеев

**Канал данных дисплея** или **DDC** (иногда называется EDID - Extended Display Identification Data) представляет собой цифровое соединение между дисплеем компьютера и процессором **OMAP3530**, позволяющее процессору считывать характеристики дисплея. Стандарт был определен Ассоциацией по стандартизации в области видеотехники и микроэлектроники - VESA. Основой текущей версии DDC, именуемой DDC2B, является последовательная шина данных I<sup>2</sup>C. Монитор содержит ROM-микросхему, программируемое производителем относительно информации о графических режимах, поддерживаемых монитором. DDC интерфейс монитора должен быть запитан напряжением 5В (уровни сигналов также будут 5В). Так как шина I<sup>2</sup>C **OMAP3530** работает при напряжении 1.8В, то на модуле BlueShark установлен транслятор **TXS0102**. Внутри преобразователя **TXS0102** имеется нагрузочный резистор для каждого сигнала, тем самым устраняется потребность в наличии внешних резисторов. На **рисунке 13** показана схема DDC модуля BlueShark.



**Рисунок 13. Схема согласования DDC**

### 3.10 S-Video

На модуле BlueShark присутствует один порт S-Video, который выведен на разъем SO-DIMM. Питание для внутреннего цифро-аналогового преобразователя (DAC) поступает от микросхемы TPS65950 через шину VDAC\_1V8. На **рисунке 14** представлена схема порта S-Video. С целью улучшения качества сигнала S-Video были добавлены конденсаторы 47пФ и дроссели 3.3мкГн.

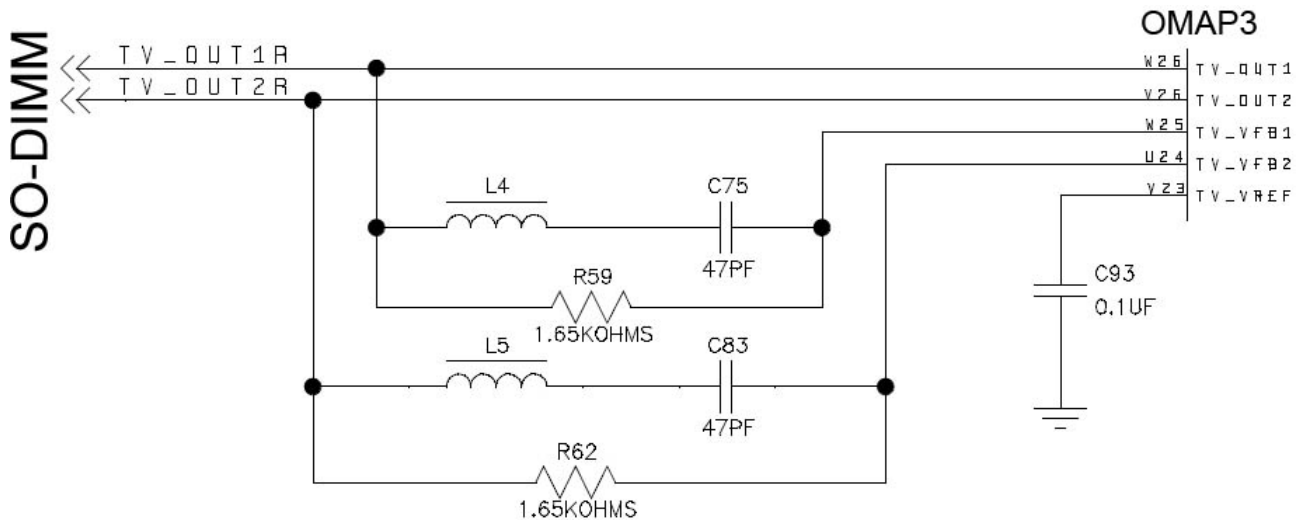


Рисунок 14. Схема S-Video порта

### 3.11 Интерфейс UART3

Для режима загрузки через UART, работы с загрузчиком u-boot, консолью ядра Linux используют порт UART3 процессора OMAP3530. Приемопередатчик **UART3** снабжен программируемым генератором скорости передачи и набором фиксированных делителей, которые делят частоту синхронизации 48 МГц на ожидаемые скорости передачи. Также **UART3** поддерживает автоопределение скорости передачи (auto bauding).

Напряжение всех линий ввода-вывода процессора OMAP3530 равно **1.8В**, в то время как внешние системы обычно работают с напряжением 3.3В. Для согласования уровней на модуле установлен преобразователь уровней TXS0102, который представляет собой 2-битовый неинвертирующий преобразователь. Схема преобразователя для UART3 представлена на **Рисунке 15**.

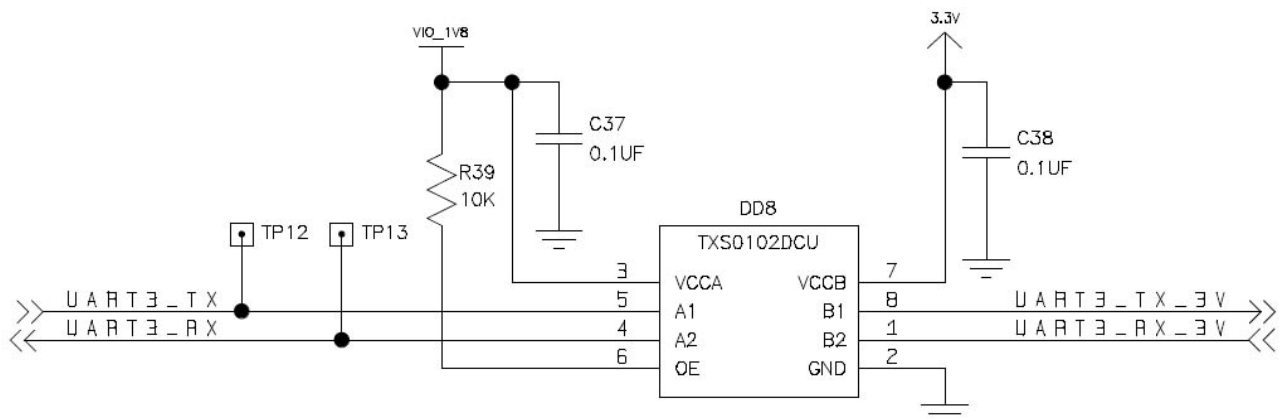
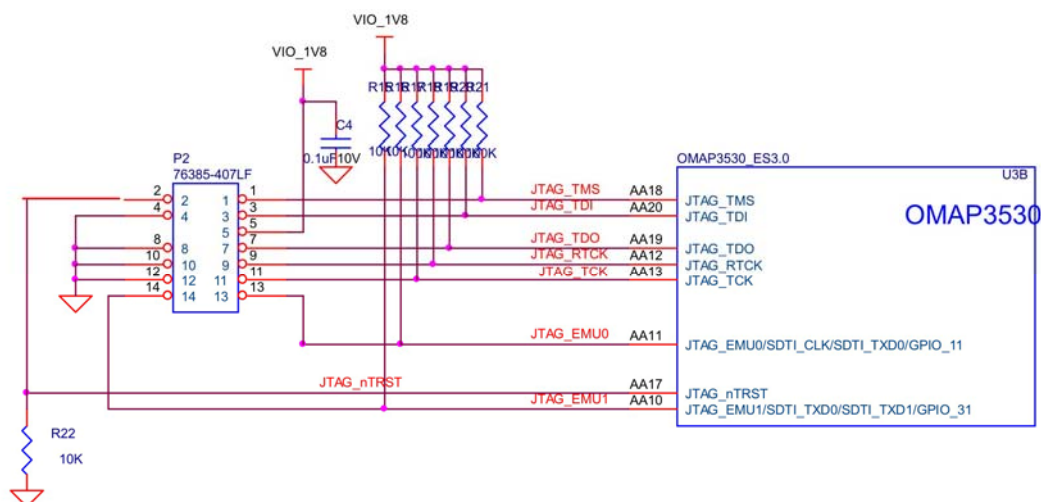


Рисунок 15. Схема согласования уровней UART3

### 3.12 Интерфейс JTAG

Интерфейс JTAG предназначен для отладки программного обеспечения с использованием внутрисхемного эмулятора на основе JTAG. На **рисунке 16** изображена схема подключения к процессору OMAP3530.



**Рисунок 16. Интерфейс JTAG**

Интерфейс JTAG непосредственно связан с процессором OMAP. Уровень напряжения всех сигналов равен 1.8В, поэтому требуется внутрисхемный эмулятор, который поддерживает уровни 1.8В. Использование внутрисхемных эмуляторов с напряжением 2.5В, 3.3В или 5В **запрещено** и приведет к повреждению процессора. В **таблице 19** описываются сигналы JTAG.

**Таблица 11. Сигналы JTAG**

Сигнал	Описание	Тип
JTAG TMS	Test mode select	I/O
JTAG TDI	Test data input	I
JTAG TDO	Test Data Output	O
JTAG RTCK	ARM Clock Emulation	O
JTAG TCK	Test Clock	I
JTAG nTRST	Test reset	I
JTAG EMU0	Test emulation 0	I/O
JTAG EMU1	Test emulation 1	I/O

### 3.13 Сброс процессора OMAP3530

Сигнал **nRESET** является основным сигналом сброса процессора OMAP3530. Линия **nRESET**, выведенная на разъем SO-DIMM, имеет подтягивающий резистор 10кОм к 1.8В. Чтобы выполнить сброс процессора достаточно понизить сигнал **nRESET** до 0В, т.е. притянуть его к Земле. Этот сигнал также может быть использован для сброса других схем вне модуля, но при этом надо учитывать, что линия **nRESET** от модуля BlueShark имеет уровни 0В-1.8В.

### 3.14 Режимы загрузки процессора

Процессор OMAP3530 поддерживает несколько источников загрузки:

- XIP память без ожидания (NOR)
- XIPwait – память с проверкой wait-циклов

- NAND/OneNAND
- MMC1/MMC2
- USB: High-speed USB
- UART3

Для выбора режима загрузки у процессора есть 7 входных линий **sys\_boot[0..6]**, которые процессор анализирует сразу же при подаче питания.

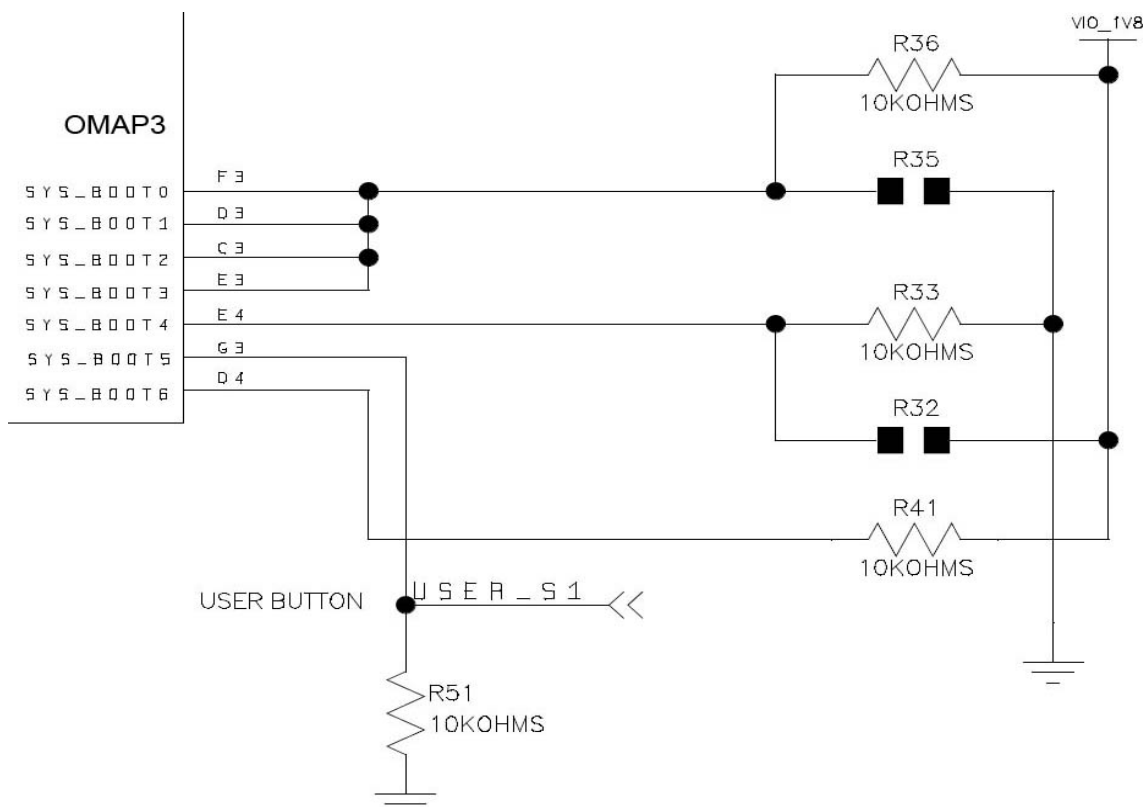
За выбор самого источника загрузки отвечают линии **sys\_boot[0..4]**, линии **sys\_boot[5]** и **sys\_boot[6]** имеют другое назначение. **sys\_boot[5]** отвечает за выбор между загрузкой в первую очередь источников из памяти или периферии. **sys\_boot[6]** используется, чтобы выбрать будет ли задействован внутренний генератор процессора или нет.

На модуле BlueShark режим загрузки имеет следующую конфигурацию, которую при желании можно изменить (см. **Таблицу 12**):

**Таблица 12. Конфигурация загрузки процессора**

SYS.BOOT[...]	6	4	3	2	1	0	Последовательность загрузки
Sys_boot[5]=0	1	0	1	1	1	1	NAND-USB-UART3-MMC1
Sys_boot[5]=1							USB-UART3-MMC1-NAND

На разъем SO-DIMM выведена линия SYS.BOOT[5], которая позволяет пользователю с помощью кнопки изменить режим загрузки и загружаться, например, с SD/MMC карты, а не NAND памяти, напаянной на процессор. Схема конфигурации загрузки модуля представлена на **рисунке 17**.



**Рисунок 17. Конфигурация загрузки процессора.**

На рисунке 17 видно, что резисторы R35 и R32 отсутствуют на схеме (плате). Их можно дополнительно установить, чтобы изменить конфигурацию загрузки

## 3.15 Сетевой интерфейс ETHERNET

На модуле BlueShark может быть установлен сетевой контроллер SMSC LAN9221i для предоставления интерфейса ETHERNET 10/100T. LAN9221 является полнофункциональным высокопроизводительным сетевым контроллером для встраиваемых приложений, его эффективная архитектура оптимизирована для уменьшения нагрузки на центральный процессор. LAN9221 включает интегрированные Ethernet MAC и PHY, подключение к которым происходит по 16-ти разрядной шине данных, подобно подключению статической памяти. Подключение сетевого контроллера LAN9221 к процессору OMAP3530 показано на рисунке 18.

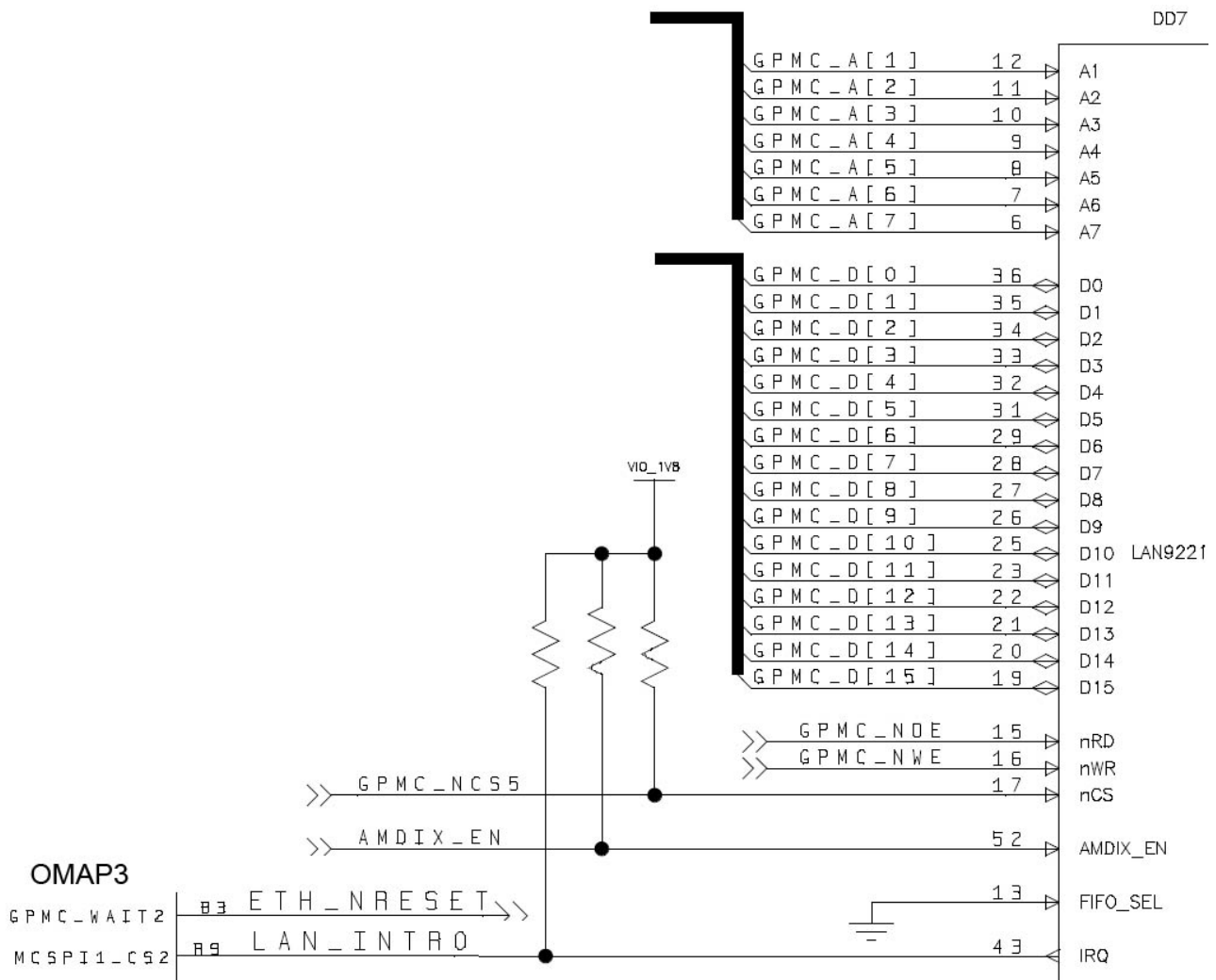


Рисунок 17. Подключение сетевого контроллера LAN9221

## 3.16 Подключение EEPROM

На версиях модуля с сетевым контроллером может быть установлена микросхема памяти EEPROM Microchip 24AA02E48, в которой на фабрике записано глобально уникальное число

48-бит. Число длиной 48-бит совместимо со стандартами EUI-48™ и EUI-64™, интерпретируется как MAC адрес устройства. Производитель микросхемы Microchip гарантирует, что данное число является уникальным идентификатором оборудования для компьютерных сетей. Эта микросхема может быть использована также для хранения данных, для этого в ней имеется открытая для чтения/записи область 1024 бит. Область с числом 48-бит защищена от записи. Схема подключения микросхемы EEPROM показана на рисунке 19.

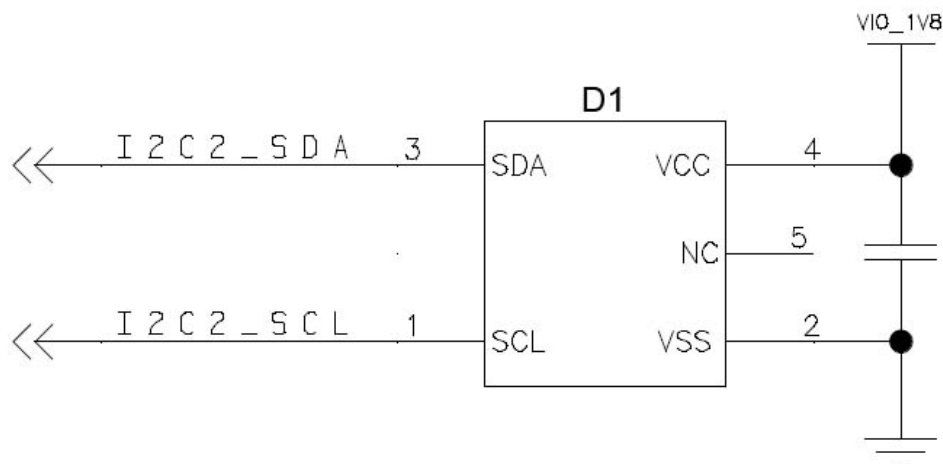


Рисунок 18. Подключение EEPROM с MAC-адресом устройства

## 4 Описание сигналов на разъеме SO-DIMM

В таблице 18 представлена полная характеристика выводов разъема SO-DIMM модуля BlueShark.

В таблице 18 приняты следующие обозначения:

- TPS – микросхема TPS65950
- OMAP3 – процессор OMAP3530
- PU – pull-up (подтяжка к «плюс» питания)
- PD – pull-dn (подтяжка к Земле)
- PI – power-in (входное напряжение питания)
- PO – power-out (выходное напряжение питания)
- PWR – обычно Земля
- I – input
- O – output
- AI – analog input
- AO – analog output

Таблица 13. Описание контактов разъема SODIMM

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
1	-		GND	-	PWR		-
2	-		+5VDC	-	PI		input
3	-		GND	-	PWR		-
4	-		+5VDC	-	PI		input
5	-		GND	-	PWR		-
6	-		+5VDC	-	PI		input
7	-		GND	-	PWR		-
8	-		+5VDC	-	PI		input
9	-		GND	-	PWR		-
10	-		+5VDC	-	PI		input
11	TPS65950	T10	HS_USB_DP	-	IO		VBUS
12	-		+5VDC	-	PI		input
13	TPS65950	T11	HS_USB_DN	-	IO		VBUS
14	TPS65950	R8	VBUS	-	PIO		in/out
15	OMAP3	F26	DSS_DEN	0	O		3.3V
			GPIO_69	4	O		
16	TPS65950	R11	HS_USB_ID	-	I		VBUS
17	OMAP3	K24	DSS_HSYNC	0	O		3.3V
			GPIO_67	4	O		
18	OMAP3	M25	DSS_VSYNC	0	O		3.3V
			GPIO_68	4	O		
19	OMAP3	AE21	DSS_DATA0	0	O		3.3V
			GPIO_70	4	O		
20	OMAP3	AE22	DSS_DATA1	0	O		3.3V
			UART1_RTS	2	O		
			GPIO_71	4	O		
21	OMAP3	AE23	DSS_DATA2	0	O		3.3V
			GPIO_72	4	O		
22	OMAP3	AE24	DSS_DATA3	0	O		3.3V
			GPIO_73	4	O		
23	OMAP3	AD23	DSS_DATA4	0	O		3.3V
			GPIO_74	4	O		
24	OMAP3	AD24	DSS_DATA5	0	O		3.3V
			UART3_TX_IRTX	2	O		
			GPIO_75	4	O		
25	OMAP3	G26	DSS_DATA6	0	O		3.3V
			UART1_TX	2	O		
			GPIO_76	4	O		
26	OMAP3	H25	DSS_DATA7	0	O		3.3V
			GPIO_77	4	O		
27	OMAP3	H26	DSS_DATA8	0	O		3.3V
			GPIO_78	4	O		
28	OMAP3	J26	DSS_DATA9	0	O		3.3V
			GPIO_79	4	O		
29	OMAP3	AC26	DSS_DATA10	0	O		3.3V
			GPIO_80	4	O		
30	OMAP3	AD26	DSS_DATA11	0	O		3.3V
			GPIO_81	4	O		



Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
31	OMAP3	AA25	DSS_DATA12	0	O		3.3V
			GPIO_82	4	O		
32	OMAP3	Y25	DSS_DATA13	0	O		3.3V
			GPIO_83	4	O		
33	OMAP3	AA26	DSS_DATA14	0	O		3.3V
			GPIO_84	4	O		
34	OMAP3	AB26	DSS_DATA15	0	O		3.3V
			GPIO_85	4	O		
35	OMAP3	L25	DSS_DATA16	0	O		3.3V
			GPIO_86	4	O		
36	OMAP3	L26	DSS_DATA17	0	O		3.3V
			GPIO_87	4	O		
37	OMAP3	M24	DSS_DATA18	0	O		3.3V
			mcspi3_clk	2	O		
			dss_data0	3	O		
			gpio_88	4	O		
38	OMAP3	M26	DSS_DATA19	0	O		3.3V
			mcspi3_simo	2	O		
			dss_data1	3	O		
			gpio_89	4	O		
39	OMAP3	F25	DSS_DATA20	0	O		3.3V
			mcspi3_somi	2	O		
			dss_data2	3	O		
			gpio_90	4	O		
40	OMAP3	N24	DSS_DATA21	0	O		3.3V
			mcspi3_cs0	2	O		
			dss_data3	3	O		
			gpio_91	4	O		
41	OMAP3	AC25	DSS_DATA22	0	O		3.3V
			mcspi3_cs1	2	O		
			dss_data4	3	O		
			gpio_92	4	O		
42	OMAP3	AB25	DSS_DATA23	0	O		3.3V
			dss_data5	3	O		
			gpio_93	4	O		
43	OMAP3	J23	GPIO_170	4	O		3.3V
			i2c2_sccbe	2	O		
			i2c3_sccbe	3	O		
44	OMAP3	G25	DSS_PCLK	0	O		3.3V
			GPIO_66	4	O		
45	OMAP3	T3	GPIO_155	4	O		3.3V
			mcbasp4_fsx	0	O		
46	OMAP3	V3	GPIO_155	4	O		3.3V
			mcbasp4_clkx	0	O		
47	OMAP3	R3	mcbasp4_dx	0	O		1.8V
			gpio_154	4	O		
48	OMAP3	U4	GPIO_153	4	O		3.3V
49	-		GND	-	PWR		-
50	-		+3.3VDC	-	PI		input

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
51	OMAP3	E26	CAM_D11	0	I		1.8V
			gpio_110	4	IO		
52	OMAP3	P26	CAM_D7	0	I		1.8V
			gpio_106	4	IO		
53	OMAP3	E25	CAM_XCLKB	0	O		1.8V
			gpio_111	4	IO		
54	OMAP3	P25	CAM_D6	0	I		1.8V
			gpio_105	4	IO		
55	OMAP3	D26	CAM_STROBE	0	O		1.8V
			gpio_126	4	IO		
56	OMAP3	N26	CAM_D9	0	I		1.8V
			gpio_108	4	IO		
57	OMAP3	D25	CAM_D10	0	I		1.8V
			gpio_109	4	IO		
58	OMAP3	N25	CAM_D8	0	I		1.8V
			gpio_108	4	IO		
59	OMAP3	C26	CAM_PCLK	0	I		1.8V
			gpio_97	4	IO		
60	OMAP3	D24	CAM_D4	0	I		1.8V
			gpio_103	4	IO		
61	OMAP3	C25	CAM_XCLKA	0	O		1.8V
			gpio_96	4	IO		
62	OMAP3	C24	CAM_D5	0	I		1.8V
			gpio_104	4	IO		
63	OMAP3	B24	CAM_D3	0	I		1.8V
			gpio_102	4	IO		
64	OMAP3	D23	CAM_VS	0	IO		1.8V
			gpio_95	4	IO		
65	OMAP3	A24	CAM_D2	0	I		1.8V
			gpio_101	4	IO		
66	OMAP3	C23	CAM_HS	0	IO		1.8V
			gpio_94	4	IO		
67	OMAP3	B23	CAM_FLD	0	IO		1.8V
			CAM_GLOB_RST	2	IO		
			gpio_98	3	IO		
68	OMAP3	AE16	CAM_D0	0	I		1.8V
			gpio_99	4	I		
69	OMAP3	A23	CAM_WEN	0	I		1.8V
			CAM_SHUTTER	2	O		
			gpio_167	4	IO		
70	OMAP3	AE15	CAM_D1	0	I		1.8V
			gpio_100	4	I		
71	OMAP3	G24	UART3_TX_IRTX	0	O		3.3V
			gpio_166	4	IO		
72	OMAP3	F23	UART3_CTS	0	IO		1.8V
			gpio_163	4	IO		
73	OMAP3	H24	UART3_RX_IRRX	0	O		3.3V
			gpio_165	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
74	OMAP3	F24	UART3_RTS	0	O		1.8V
			gpio_164	4	IO		
75	TPS65950	P12	MMC1_CD	-	I	PU	1.8V
76	OMAP3	P19	MMC1_DAT7	0	IO		1.8V
			gpio_129	4	IO		
77	OMAP3	N19	MMC1_CLK	0	O	PU	VMMC1
			gpio_120	4	IO		
78	OMAP3	N20	MMC1_DAT3	0	IO	PU	VMMC1
			gpio_125	4	IO		
79	OMAP3	K18	MMC1_DAT2	0	IO	PU	VMMC1
			gpio_124	4	IO		
80	OMAP3	M20	MMC1_DAT4	0	IO		1.8V
			gpio_126	4	IO		
81	OMAP3	L18	MMC1_CMD	0	O	PU	VMMC1
			gpio_121	4	IO		
82	OMAP3	M19	MMC1_DAT0	0	IO	PU	VMMC1
			gpio_122	4	IO		
83	OMAP3	V2	MMC1_WP	4	I	PU	1.8V
84	OMAP3	P18	MMC1_DAT6	0	IO		1.8V
			gpio_128	4	IO		
85	OMAP3	P17	MMC1_DAT5	0	IO		1.8V
			gpio_127	4	IO		
86	OMAP3	M18	MMC1_DAT1	0	IO	PU	VMMC1
			gpio_123	4	IO		
87	-		GND	-	PWR		-
88	-		VMMC1	-	PO		output
89	-		GND	-	PWR		-
90	TPS65950	F15	nEN_USB_PWR	-	O		4.2V
91	-		GND	-	PWR		-
92	-		GND	-	PWR		-
93	TPS65950	B4	Headset left	-	AO		
94	TPS65950	F1	Audio input left	-	AI		
95	TPS65950	B5	Headset right	-	AO		
96	TPS65950	G1	Audio input right	-	AI		
97	OMAP3	W26	TV_OUT1	0	AO		
98	OMAP3	V26	TV_OUT2	0	AO		
99	OMAP3	W3	MCBSP3_FSX	0	IO		1.8V
			uart2_rx	1	I		
			gpio_143	4	O		
100	OMAP3	U3	MCBSP3_CLKX	0	IO		1.8V
			uart2_tx	1	O		
			gpio_142	4	IO		
101	OMAP3	P3	MCBSP3_DX	0	I		1.8V
			uart2_cts	1	I		
			gpio_141	4	IO		
102	OMAP3	N3	MCBSP3_DR	0	IO		1.8V
			uart2_rts	1	O		
			gpio_140	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
103	OMAP3	T20	MCBSP1_DR	0	I		1.8V
			mcspi4_somi	1	IO		
			mcbasp3_dr	2	I		
			gpio_159	4	IO		
104	OMAP3	U19	MCBSP1_CLKR	0	IO		1.8V
			mcspi4_clk	1	IO		
			gpio_156	4	IO		
105	OMAP3	V17	MCBSP1_FSR	0	IO		1.8V
			CAM_GLOB_RST	2	IO		
			gpio_157	4	IO		
106	OMAP3	P20	MCBSP1_FSX	0	IO		1.8V
			mcspi4_cs0	1	IO		
			mcbasp3_fsx	2	IO		
			gpio_161	4	IO		
107	OMAP3	U17	MCBSP1_DX	0	IO		1.8V
			mcspi4_simo	1	IO		
			mcbasp3_dx	2	IO		
			gpio_158	4	IO		
108	OMAP3	T17	MCBSP1_CLKX	0	IO		1.8V
			mcbasp3_clkx	2	IO		
			gpio_162	4	IO		
109	OMAP3	AE18	GPIO_114	4	I		1.8V
110	OMAP3	AD17	GPIO_112	4	I		1.8V
111	OMAP3	AE17	GPIO_115	4	I		1.8V
112	OMAP3	AD15	GPIO_113	4	I		1.8V
113	OMAP3	V13	nRESET	0	I	PU	1.8V
114			VMMC2		PO		1.8V
115	OMAP3	W10	MMC2_CLK	0	O		1.8V
			mcspi3_clk	1	IO		
			gpio_130	4	IO		
116	OMAP3	V10	MMC2_DAT4	0	IO		1.8V
			mmc2_dir_dat0	1	IO		
			mmc3_dat0	3	IO		
			gpio_136	4	IO		
117	OMAP3	U10	MMC2_DAT2	0	IO		1.8V
			mcbasp3_cs1	1	O		
			gpio_134	4	IO		
118	OMAP3	T10	MMC2_DAT0	0	IO		1.8V
			mcbasp3_somi	1	IO		
			gpio_132	4	IO		
119	OMAP3	R10	MMC2_CMD	0	IO		1.8V
			mcbasp3_simo	1	IO		
			gpio_131	4	IO		
120	OMAP3	L18	MMC2_DAT1	0	IO		1.8V
			gpio_133	4	IO		
121	OMAP3	P9	MCSP11_CLK	0	IO		1.8V
			mmc2_dat4	1	IO		
			gpio_171	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
122	OMAP3	P8	MCSP11_SIMO	0	IO		1.8V
			mmc2_dat5	1	IO		
			gpio_172	4	IO		
123	OMAP3	P7	MCSP11_SOMI	0	IO		1.8V
			mmc2_dat6	1	IO		
			gpio_173	4	IO		
124	OMAP3	R8	MCSP11_CS1	0	O		1.8V
			mmc3_cmd	3	IO		
			gpio_175	4	IO		
125	OMAP3	R7	MCSP11_CS0	0	O		1.8V
			mmc2_dat7	1	IO		
			gpio_174	4	IO		
126	OMAP3	U9	MMC2_DAT3	0	IO		1.8V
			mcspi3_cs0	1	IO		
			gpio_135	4	IO		
127	OMAP3	L3	MMC2_DAT6	0	IO		1.8V
			mmc2_dir_cmd	1	O		
			CAM_SHUTTER	2	O		
			mmc3_dat2	3	IO		
			gpio_138	4	IO		
128	OMAP3	V10	MMC2_DAT7	0	IO		1.8V
			mmc2_clkin	1	I		
			mmc3_dat3	3	IO		
			gpio_139	4	IO		
129	OMAP3	M3	MMC2_DAT5	0	IO		1.8V
			mmc2_dir_dat1	1	O		
			CAM_GLOB_RST	2	IO		
			mmc3_dat1	3	IO		
			gpio_137	4	IO		
130	OMAP3	C2	I2C2_SCL	0	IO	PU	1.8V
			gpio_168	4	IO		
131	OMAP3	G3	SYS_BOOT5	0	I	PD	1.8V
			mmc2_dir_dat3	1	O		
			gpio_7	4	IO		
132	OMAP3	C1	I2C2_SDA	0	IO	PU	1.8V
			gpio_183	4	IO		
133	OMAP3	L4	UART1_TX	0	O		1.8V
			gpio_148	4	IO		
134	OMAP3	Y24	UART2_CTS	0	I		1.8V
			mcbasp3_dx	1	IO		
			gpt9_pwm_evt	2	IO		
			gpio_144	4	IO		
135	OMAP3	R2	UART1_RTS	0	O		1.8V
			gpio_149	4	IO		
136	OMAP3	AA24	UART2_RTS	0	O		1.8V
			mcbasp3_dr	1	I		
			gpt10_pwm_evt	2	IO		
			gpio_145	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
137	OMAP3	W2	UART1_CTS	0	I		1.8V
			gpio_150	4	IO		
138	OMAP3	AD22	UART2_TX	0	O		1.8V
			mcbasp3_clkx	1	I		
			ggpt11_pwm_evt	2	IO		
			gpio_146	4	IO		
139	OMAP3	H3	UART1_RX	0	I		1.8V
			mcbasp1_clkr	2	IO		
			mcspi4_clk	3	IO		
			gpio_151	4	IO		
140			1.8V		PO		<100mA
141	OMAP3	AD21	UART2_RX	0	I		1.8V
			mcbasp3_fsx	1	IO		
			gpt8_pwm_evt	2	IO		
			gpio_147	4	IO		
142	OMAP3	AD8	GPMC_CS0	0	O	PU	1.8V
143	OMAP3	N1	GPMC_CLK	0	O		1.8V
			gpio_59	4	IO		
144	OMAP3	AD1	GPMC_NCS1	0	O		1.8V
			gpio_52	4	IO		
145	OMAP3	AD10	GPMC_NADV_ALE	0	O		1.8V
146	OMAP3	A3	GPMC_NCS2	0	O		1.8V
			gpio_53	4	IO		
147	OMAP3	K2	GPMC_NBE0_CLE	0	O		1.8V
			gpio_60	4	IO		
148	OMAP3	B6	GPMC_NCS3	0	O		1.8V
			sys_ndmareq0	1	I		
			gpio_54	4	IO		
149	OMAP3	J1	GPMC_NBE1	0	O		1.8V
			gpio_61	4	IO		
150	OMAP3	B4	GPMC_NCS4	0	O		1.8V
			sys_ndmareq1	1	I		
			mcbasp4_clkx	2	IO		
			gpt9_pwm_evt	3	IO		
			gpio_55	4	IO		
151	OMAP3	AC6	GPMC_NWP	0	O		1.8V
			gpio_62	4	IO		
152	OMAP3	C4	GPMC_NCS5	0	O		1.8V
			sys_ndmareq2	1	I		
			mcbasp4_dr	2	I		
			gpt10_pwm_evt	3	IO		
			gpio_56	4	IO		
153	OMAP3	Y10	GPMC_WAIT0	0	I		1.8V
154	OMAP3	B5	GPMC_NCS6	0	O		1.8V
			sys_ndmareq3	1	I		
			mcbasp4_dx	2	IO		
			gpt11_pwm_evt	3	IO		
			gpio_57	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
155	OMAP3	C6	GPMC_WAIT3	0	I		1.8V
			sys_ndmareq1	1	I		
			gpio_65	4	IO		
156	OMAP3	C5	GPMC_NCS7	0	O		1.8V
			gpmc_io_dir	1	O		
			mcbasp4_fsx	2	IO		
			gpt8_pwm_evt	3	IO		
			gpio_58	4	IO		
157	OMAP3	D1	GPMC_A9	0	O		1.8V
			sys_ndmareq2	1	I		
			gpio_42	4	IO		
158	OMAP3	D2	GPMC_A10	0	O		1.8V
			sys_ndmareq3	1	I		
			gpio_43	4	IO		
159	OMAP3	E1	GPMC_A7	0	O		1.8V
			gpio_40	4	IO		
160	OMAP3	E2	GPMC_A8	0	O		1.8V
			gpio_41	4	IO		
161	OMAP3	F1	GPMC_A5	0	O		1.8V
			gpio_38	4	IO		
162	OMAP3	F2	GPMC_A6	0	O		1.8V
			gpio_39	4	IO		
163	OMAP3	H2	GPMC_A3	0	O		1.8V
			gpio_35	4	IO		
164	OMAP3	G2	GPMC_A4	0	O		1.8V
			gpio_37	4	IO		
165	OMAP3	J2	GPMC_A1	0	O		1.8V
			gpio_34	4	IO		
166	OMAP3	H1	GPMC_A2	0	O		1.8V
			gpio_35	4	IO		
167	OMAP3	M1	GPMC_NWE	0	O		1.8V
168	OMAP3	N2	GPMC_NOE	0	O		1.8V
169	OMAP3	L2	GPMC_D14	0	IO		1.8V
			gpio_50	4	IO		
170	OMAP3	M2	GPMC_D15	0	IO		1.8V
			gpio_51	4	IO		
171	OMAP3	U10	GPMC_D12	0	IO		1.8V
			gpio_48	4	IO		
172	OMAP3	P1	GPMC_D13	0	IO		1.8V
			gpio_49	4	IO		
173	OMAP3	T1	GPMC_D10	0	IO		1.8V
			gpio_46	4	IO		
174	OMAP3	U2	GPMC_D11	0	IO		1.8V
			gpio_47	4	IO		
175	OMAP3	V1	GPMC_D8	0	IO		1.8V
			gpio_44	4	IO		
176	OMAP3	Y1	GPMC_D9	0	IO		1.8V
			gpio_45	4	IO		

Таблица 13. Описание контактов разъема SODIMM (продолжение)

№ вывода SODIMM	Чип	Вывод/ линия	Назначение	Режим	Тип	PU/PD	Питание
177	OMAP3	AD5	GPMC_D6	0	IO		1.8V
178	OMAP3	AC5	GPMC_D7	0	IO		1.8V
179	OMAP3	AE5	GPMC_D4	0	IO		1.8V
180	OMAP3	AD6	GPMC_D5	0	IO		1.8V
181	OMAP3	AC2	GPMC_D2	0	IO		1.8V
182	OMAP3	AC1	GPMC_D3	0	IO		1.8V
183	OMAP3	AA2	GPMC_D0	0	IO		1.8V
184	OMAP3	AA1	GPMC_D1	0	IO		1.8V
185	-		GND	-	PWR		-
186	-		+3.3VDC	-	PI		input
187	LAN9221		AMDIX_EN		I	PU	1.8V
188	LAN9221		TX Positive		O	PU	3.3V
189	LAN9221		nLED1		O		3.3V
190	LAN9221		TX Negative		O	PU	3.3V
191	LAN9221		nLED3		O		3.3V
192	LAN9221		RX Positive		I	PU	3.3V
193	LAN9221		nLED2		O		3.3V
194	LAN9221		RX Negative		I		3.3V
195	TPS65950	N12	HOST_NOC		I		3.3V
196	USB3320	22	HOST_VBUS		I		5V
197	USB3320	18	USB D+		IO		5V
198	OMAP3	AB4	DDC_I2C3_SCL		IO		5V
			gpio_184		IO		
199	USB3320	19	USB D-		IO		5V
200	OMAP3	AC4	DDC_I2C3_SDA		IO		5V
			gpio_185		IO		



## 5 Характеристики BlueShark

### 5.1 Электрические характеристики

В таблице 19 представлены электрические характеристики модуля BlueShark.

Таблица 14. Электрические характеристики

Параметр	Мин.	Тип.	Макс.	Ед.
<b>Питание</b>				
Входное напряжение 5В	4.8	5	5.2	В
Ток потребления модуля для 5В		300	350	мА
Входное напряжение 3.3В	3.2	3.3	3.4	В
Ток потребления модуля для 3В	50		200	мА
Выходное напряжение 1.8В	1.75	1.8	1.85	В
Ток выходного напряжения 1.8В			50	мА
Входное напряжение USB OTG VBUS			7	В
Выходное напряжение USB OTG VBUS		5		В
Выходной ток USB OTG VBUS		100		мА
<b>USB OTG</b>				
HiSpeed режим			480	Мб/сек
Full Speed			12.5	Мб/сек
Low Speed			1.5	Мб/сек
OTG ID			5.25	В
<b>USB HOST</b>				
HiSpeed режим			480	Мб/сек
VBUS			6	В
ID			6	В
<b>UART3</b>				
RX, TX		3.3	4.1	В
<b>SD/MMC</b>				
Режим 1.8В	1.71	1.8	1.89	В
Режим 3В	2.7	3.0		В
Ток питания на VMMC1			220	мА
Частота			48	МГц
<b>LCD 24бит</b>				
Частота для пикселей	25		65	МГц
Уровни напряжения	3.1	3.3		В
<b>S-Video</b>				
Выходное напряжение	0.7	0.88	1	В
Напряжение смещения		50		мВ
Выходное сопротивление	67.5	75	82.5	Ом
<b>Аудио вход</b>				
Размах однополярного вх. напряжения (0 dB)			1.5	В
Коэффициент нелинейных искажений		-80	-75	dB
<b>Аудио выход</b>				
Выходное сопротивление	14	16		Ом
Выходная мощность		17.56		мВт
Коэффициент нелинейных искажений		-80	-75	dB

## 5.2 Механические характеристики

Все единицы измерения указаны в миллиметрах.

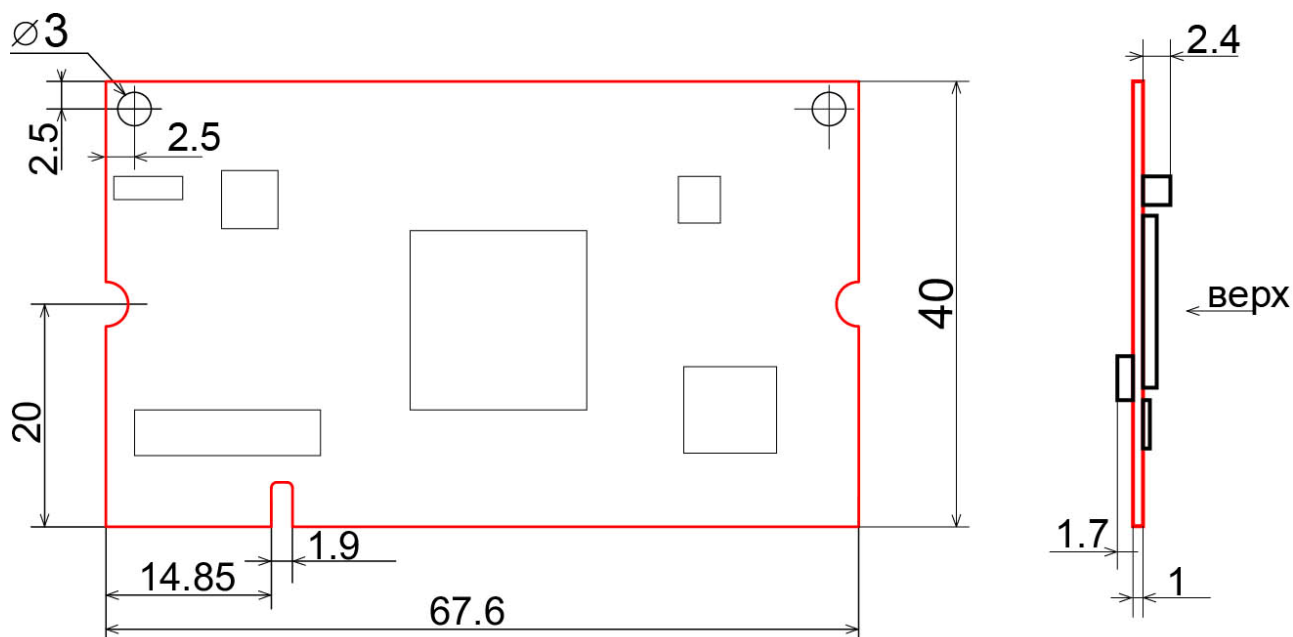


Рисунок 19. Габаритные размеры

Таблица 15. Механические характеристики

Параметр	Значение	Единицы
Ширина	67.7	мм
Высота	40	мм
Толщина (макс.)	5.2	мм
Масса	8	грамм

## 5.3 Климатические характеристики

В таблице 20 приведены температурные характеристики модуля.

Таблица 16. Температурные характеристики

Температура °С	Мин.	Макс.
Температура хранения	-40	+85
Рабочая температура (коммерческое исполнение)	0	70
Рабочая температура (коммерческое исполнение)	-40	+85
Влажность %, без образования конденсата	10	70

## 5.3 Разъем SODIMM

Для установки модуля BlueShark используют стандартные разъемы памяти SO-DIMM DDR1 и DDR2 с ключом 1V8 или 2V5.

---

**Внимание:**

Модуль BlueShark НЕ СОВМЕСТИМ с модулями памяти SODIMM. Установка модуля в разъем с неправильным расположением контактов может повредить модуль BlueShark и материнскую плату.

---

В следующей таблице приведены возможные модели разъемов:

Производитель	Модель
JAЕ	MM50-200B1-1E
TYCO	AMP-1473005-1

## 6 История версий документа

Версия	Дата	Описание
a	15.03.2010	Предварительная версия документации