

## Перезагрузите свое представление о современной системе на кристалле!



### Посетите Altera SoC FPGA семинар

Новейшее решение SoC FPGA – с аппаратным ядром ARM Cortex-A9 и массивом программируемой логики новейшего поколения по технологии 28нм открывает новые возможности для встраиваемых решений.

Гибкость программируемой логики, параллельность исполнения, реконфигурируемость, вместе с широко-распространенным ядром от ARM – новый взгляд на архитектуру системы на кристалле. Прекрасная интеграция - снижение энергопотребления, площади, цены, времени разработки и выхода на рынок!

#### ОПИСАНИЕ СЕМИНАРА:

На семинаре будет рассмотрена самая свежая техническая информация о SoC FPGA – архитектуре, модулях системы, взаимодействии АРМ-ПЛИС, маршруте и средствах разработки, среды разработки, отладочных средств, операционных систем и вопросов разработки ПО. Будет проведена лабораторная работа в среде Qsys по созданию и настройке системы на кристалле на базе SoC FPGA.

После семинара, в мае, участники будут приглашены участвовать в практикуме, проводимом на средстве разработки EBV SOCrates board!

#### После семинара вы сможете:

- Построить свою систему на кристалле используя ПО Qsys от Altera.
- Оценить гибкость и конкурентные преимущества SoC FPGA.
- Знать о средствах разработки, OS и маршруте проектирования SoC FPGA.
- Предполагается рассмотреть возможности SoC FPGA по выполнению задач в реальном времени, AMP, SMP.

#### ВРЕМЯ И МЕСТО ПРОВЕДЕНИЯ:

**St-Petersburg | 19.03.2013**

(предварительно, будет уточнение)

**Moscow | 21.03.2013**

(предварительно, будет уточнение)

**Yekaterinburg | 03.04.2013**

(предварительно, будет уточнение)

**Novosibirsk | 10.04.2013**

(предварительно, будет уточнение)

# Seminar

## ПРОГРАММА СЕМИНАРА:

- 09:30 - 10:30 | Регистрация  
10:30 - 11:15 | Обзор SoC  
**11:15 - 11:30** | Перерыв на кофе  
11:30 - 12:30 | SoC Архитектура  
**12:30 - 13:30** | Перерыв на обед  
13:30 - 14:30 | SoC маршрут разработки ПО и средства разработки/отладки  
**14:30 - 14:45** | Перерыв на кофе  
14:45 - 15:30 | Лабораторная работа Qsys/SoC  
15:30 - 16:30 | Завершение

## РАССМАТРИВАЕМЫЕ ВОПРОСЫ:

- Обзор SOC
- HPS порты BB
- Настройка портов BB - Scan manager
- Диспетчер системы - System manager
- Мосты HPS - FPGA
- Отладка взаимодействия FPGA – HPS
- Диспетчер тактирования
- Диспетчер сброса
- Диспетчер ПЛИС - FPGA manager
- Контроллер памяти
- Маршрут проектирования
- Среда разработки и системной интеграции
- Средства разработки и отладки
- OS и разработка ПО
- Приложения, вопросы реального времени, AMP, SMP

**Участие в семинаре бесплатное.**

**Требуется предварительная регистрация.**

**Докладчик** - Висторовский Антон, инженер по применению Altera EBV Elektronik